



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10065678 A

(43) Date of publication of application: 06.03.98

(51) Int. Cl. H04L 12/28
H04Q 3/00

(21) Application number: 08216474

(71) Applicant: NEC CORP

(22) Date of filing: 16.08.96

(72) Inventor: SHINOHARA MASAYUKI

(54) ATM EXCHANGE SYSTEM AND ITS TRAFFIC
CONTROL METHOD

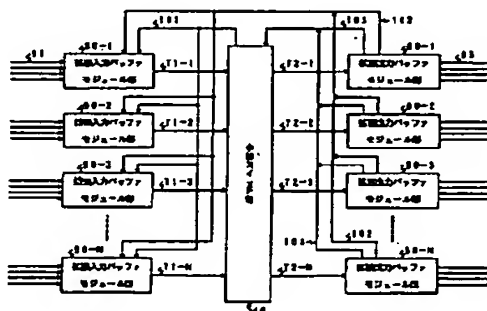
pressure signals 102 and 103.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress the occurrence of a congestion in an ATM(asynchronous transfer mode) exchange, to increase valid throughput and to ensure the justice of throughput between VC (logic channel) using the same output line.

SOLUTION: An ATM exchange system comprises a core switch part 40 having an ATM cell exchange function among high speed input/output ports, extension input buffer module parts 50 multiplexing a plurality of low speed input lines 91 to high speed input ports 71 and extension output buffer module parts 60 separating outputs from the high speed output ports 72 into a plurality of low speed output lines 93. The extension input buffer module parts 50 can execute queuing for the respective output ports and for respective service classes. The extension output buffer module parts 60 can execute queuing for the respective output lines which they store and for the respective service classes. The core switch part 40 emits a back pressure signal 101 and the extension output buffer module parts 60 emit back



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-65678

(43)公開日 平成10年(1998) 3月6日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9744-5K	H 0 4 L 11/20	G
H 0 4 Q 3/00		9744-5K	H 0 4 Q 3/00	
			H 0 4 L 11/20	H

審査請求 有 請求項の数24 O L (全 39 頁)

(21)出願番号 特願平8-216474

(22)出願日 平成8年(1996) 8月16日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 篠原 誠之

東京都港区芝五丁目7番1号 日本電気株式会社内

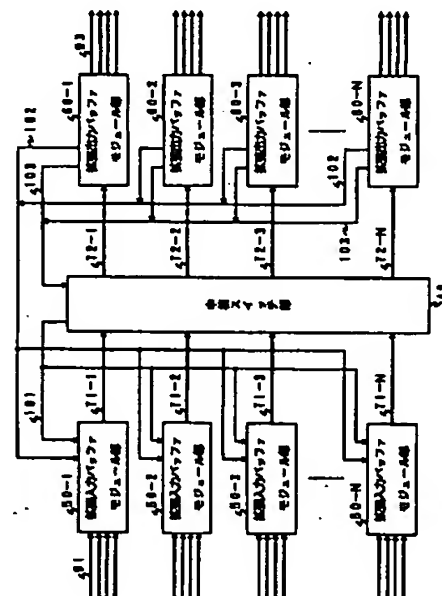
(74)代理人 弁理士 後藤 祥介 (外2名)

(54)【発明の名称】 ATM交換機システムおよびそのトラヒック制御方法

(57)【要約】

【課題】 ATM交換機内部での輻輳発生を抑制して実効スループットを増大させ、かつ同一出力回線を使用するVC間でのスループット公平性を保証する。

【解決手段】 ATM交換機システムは高速な入出力ポート間のATMセル交換機能を有する中核スイッチ部40と、複数の低速な入力回線91を高速な入力ポート71へ多重する拡張入力バッファモジュール部50と、高速な出力ポート72からの出力を複数の低速な出力回線93に分離する拡張出力バッファモジュール部60とから成る。拡張入力バッファモジュール部50では出力ポート毎かつサービスクラス毎にキューイングが可能であり、拡張出力バッファモジュール部60では自らが収容する出力回線毎かつサービスクラス毎にキューイングが可能である。中核スイッチ部40はバックプレッシャー信号101を発信し、拡張出力バッファモジュール部60はバックプレッシャー信号102, 103を発信する。



【特許請求の範囲】

【請求項1】 複数の低速な入力回線と複数の低速な出力回線間でATMセルを交換するATM交換システムであって、高速な入力ポートと高速な出力ポートとの間のATM交換機能を有する出力バッファ型構成の中核スイッチ部と、前記複数の低速な入力回線からのATMセルを前記高速な入力ポートへ多重する少なくとも1つの拡張入力バッファモジュール部と、前記高速な出力ポートからの出力を前記複数の低速な出力回線に分離する少なくとも1つの拡張出力バッファモジュール部と有し、前記拡張入力バッファモジュール部ではATMセルを宛先出力ポート毎にかつサービスクラス毎にキューイングを可能とし、前記拡張出力バッファモジュール部では宛先出力回線毎にかつサービスクラス毎にキューイングを可能とするATM交換機システムにおいて、
前記中核スイッチ部は、出力ポート毎に用意される中核スイッチキューのキュー長が第1のしきい値を越えた時に、第1のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生する手段を含み、
前記拡張出力バッファモジュール部は、その総バッファ占有量が第2のしきい値を越えた時に、第2のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生する手段を含み、
前記拡張入力バッファモジュール部は、前記第1のバックプレッシャー信号に応答してそれを発信する出力ポートへのセル出力を停止する手段と、前記第2のバックプレッシャー信号に応答してそれを発信する出力ポートへのセル出力を停止する手段とを含むことを特徴とするATM交換機システム。

【請求項2】 複数の低速な入力回線と複数の低速な出力回線間でATMセルを交換するATM交換システムであって、高速な入力ポートと高速な出力ポートとの間のATM交換機能を有する出力バッファ型構成の中核スイッチ部と、前記複数の低速な入力回線からのATMセルを前記高速な入力ポートへ多重する少なくとも1つの拡張入力バッファモジュール部と、前記高速な出力ポートからの出力を前記複数の低速な出力回線に分離する少なくとも1つの拡張出力バッファモジュール部と有し、前記拡張入力バッファモジュール部ではATMセルを宛先出力ポート毎にかつサービスクラス毎にキューイングを可能とし、前記拡張出力バッファモジュール部では宛先出力回線毎にかつサービスクラス毎にキューイングを可能とするATM交換システムにおいて、
前記中核スイッチ部は、出力ポート毎に用意される中核スイッチキューのキュー長が第1のしきい値を越えた時に、第1のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生する手段を含み、
前記拡張出力バッファモジュール部は、その総バッファ占有量が第2のしきい値を越えた時に、第2のバックプレッシャー信号を前記中核スイッチ部へ発生する手段を

含み、

前記拡張入力バッファモジュール部は、前記第1のバックプレッシャー信号に応答してそれを発信する出力ポートへのセル出力を停止する手段を含み、

前記中核スイッチ部は、前記第2のバックプレッシャー信号に応答してそれを発信する該拡張出力バッファモジュール部へのセル出力を停止する手段を含むことを特徴とするATM交換機システム。

【請求項3】 複数の低速な入力回線と複数の低速な出力回線間でATMセルを交換するATM交換システムであって、高速な入力ポートと高速な出力ポートとの間のATM交換機能を有する出力バッファ型構成の中核スイッチ部と、前記複数の低速な入力回線からのATMセルを前記高速な入力ポートへ多重する少なくとも1つの拡張入力バッファモジュール部と、前記高速な出力ポートからの出力を前記複数の低速な出力回線に分離する少なくとも1つの拡張出力バッファモジュール部と有し、前記拡張入力バッファモジュール部ではATMセルを宛先出力ポート毎にかつサービスクラス毎にキューイングを可能とし、前記拡張出力バッファモジュール部では宛先出力回線毎にかつサービスクラス毎にキューイングを可能とするATM交換機システムにおいて、
前記中核スイッチ部は、出力ポート毎に用意される中核スイッチキューのキュー長が第1のしきい値を越えた時に、第1のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生する手段を含み、
前記拡張出力バッファモジュール部は、その総バッファ占有量が第2のしきい値を越えた時に、第2のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生する手段と、前記総バッファ占有量が第3のしきい値を越えた時に、第3のバックプレッシャー信号を前記中核スイッチ部へ発生する手段とを含み、
前記拡張入力バッファモジュール部は、前記第1のバックプレッシャー信号に応答してそれを発信する出力ポートへのセル出力を停止する手段と、前記第2のバックプレッシャー信号に応答してそれを発信する出力ポートへのセル出力を停止する手段とを含み、
前記中核スイッチ部は、第3のバックプレッシャー信号に応答してそれを発信する該拡張出力バッファモジュール部へのセル出力を停止する手段を含むことを特徴とするATM交換機システム。

【請求項4】 前記拡張出力バッファモジュール部は、全ての前記拡張入力バッファモジュール部内に存在する出力ポート対応キューのうち同一出力宛のキューの集合からなる仮想キュー（グローバルキュー）における第1の受付可能レートと、前記拡張出力バッファモジュール部内に存在する出力回線対応キューにおける第2の受付可能レートとを定期的に計算するレート計算手段を備えたこと、を特徴とする請求項1乃至3のいずれか1つに記載のATM交換機システム。

【請求項5】 各拡張入力バッファモジュール部は、出力ポート対応キュー長を記述した特別なスイッチ内部制御用セルを定期的に送信する手段を有し、各拡張出力バッファモジュール部は、到達する前記スイッチ内部制御用セルの内容を元にグローバルキュー長を復元する手段を有し、これによって前記レート計算手段がグローバルキュー長を把握することを可能としたこと、を特徴とする請求項4に記載のATM交換機システム。

【請求項6】 前記サービスクラスの1つとしてネットワークの輻輳度に応じて適応的に送信レートを変えることが可能なアベラブルビットレートサービス(ABR)クラスを有し、該ABRクラスに対しては、送信端末からの受信端末の方向に送られるフォワードRMセルが前記拡張入力バッファモジュール部を通過する際にABRクラスの出力ポート対応キュー長を記述し、前記拡張出力バッファモジュール部が前記フォワードRMセルを受信する際に前記フォワードRMセル内に記述された出力ポート対応キュー長からABRクラスのグローバルキューの全体キュー長を復元すること、を特徴とする請求項5に記載のATM交換機システム。

【請求項7】 前記サービスクラスの1つとしてネットワークの輻輳度に応じて適応的に送信レートを変えることが可能なアベラブルビットレートサービス(ABR)クラスを有し、

前記拡張出力バッファモジュール部は、前記ABRクラス用のグローバルキューあるいは前記拡張出力バッファモジュール部の出力回線対応キューの状態時間変化から定期的に受付可能レートを計算する手段を有し、

前記拡張入力バッファモジュール部は、前記ABRクラスの論理チャンネル(VC)に対して、それが経由するグローバルキューと出力回線対応キューの提示する受付可能レートとのうち小さいほうの値を該論理チャンネル(VC)の受付端末から送信端末の方向に送られるバックワードRMセルの中に記述する手段を有すること、を特徴とする請求項1乃至3のいずれか1つに記載のATM交換機システム。

【請求項8】 前記拡張出力バッファモジュール部は、サービスクラス別のグローバルキューあるいは出力回線対応キューの状態時間変化から定期的にサービスクラス毎の受付可能レートを計算する手段を有し、

前記拡張入力バッファモジュール部は、その受付可能レートに基づいて各出力ポート宛てのセル出力を制御する内部レート制御手段を備えたこと、を特徴する請求項1乃至3のいずれか1つに記載のATM交換機システム。

【請求項9】 前記拡張入力バッファモジュール部に設置される出力ポート対応キューは、仮想ソースキューと、仮想スイッチ内部キューと、前記仮想ソールキューと前記仮想スイッチ内部キューとの間に設けられたレート制御部とから構成され、前記レート制御部は、前記仮想ソースキューからのセル転送を、グローバルキューあ

るいは出力回線対応キューで計算される受付可能レートに基づいて制御すること、を特徴とする請求項1乃至3のいずれか1つに記載のATM交換機システム。

【請求項10】 前記レート制御部に設定される転送レートとして、前記出力ポート対応キューが対応している出力ポート宛のグローバルキューで計算される受付可能レートと現時点で該出力ポート対応キューにセルが蓄積されている論理チャンネル数(アクティブ論理チャンネル数)の積、あるいは前記出力ポート対応キューが対応している出力ポートが収容する各出力回線対応キューで計算される出力回線毎の受付可能レートと前記出力ポート対応キューにおける出力回線毎のアクティブ論理チャンネル数の各積の総和のうち、どちらか小さい方を用いること、を特徴とする請求項9に記載のATM交換機システム。

【請求項11】 前記拡張入力バッファモジュール部は、その内の出力ポート対応キューのバッファ占有量を出力回線毎と論理チャンネル(VC)毎の両方で観測しておき、パケットの先頭セルが前記出力ポート対応キューに到着したときに、前記出力ポート対応キューにおける前記パケットの宛先出力回線によるバッファ占有量とその論理チャンネル(VC)によるバッファ占有量がそれぞれのしきい値を越えているときに該パケットを廃棄する手段を含むこと、を特徴とする請求項1乃至3のいずれか1つに記載のATM交換機システム。

【請求項12】 前記出力ポート対応キューにおける該パケットの宛先出力回線によるバッファ占有量と比較するしきい値として、該パケットの宛先出力ポートの拡張出力バッファモジュール部内の出力回線対応キュー毎に計算された受付可能レートと該出力ポート対応キューにおける出力回線毎のアクティブ論理チャンネル数の総和のうち、該パケットの宛先出力回線相当分が占める割合を該出力ポート対応キュー全体に設定された固定しきい値に乗じた値を用い、

該出力ポート対応キューにおける該パケットの論理チャンネル(VC)によるバッファ占有量と比較する値として、上記により計算した値を該出力ポート対応キューにおける該パケットの宛先出力回線行きのアクティブ論理チャンネル数で除算して値を用いること、を特徴とする請求項11に記載のATM交換機システム。

【請求項13】 複数の低速な入力回線と複数の低速な出力回線間でATMセルを交換するATM交換システムにおけるドラヒック制御方法であって、前記ATM交換システムは高速な入力ポートと高速な出力ポートとの間のATM交換機能を有する出力バッファ型構成の中核スイッチ部と、前記複数の低速な入力回線からのATMセルを前記高速な入力ポートへ多重する少なくとも1つの拡張入力バッファモジュール部と、前記高速な出力ポートからの出力を前記複数の低速な出力回線に分離する少なくとも1つの拡張出力バッファモジュール部と有し、

前記拡張入力バッファモジュール部ではATMセルを宛先出力ポート毎にかつサービスクラス毎にキューイングを可能とし、前記拡張出力バッファモジュール部では宛先出力回線毎にかつサービスクラス毎にキューイングを可能とするATM交換機システムのトラヒック制御方法において、

前記中核スイッチ部で、出力ポート毎に用意される中核スイッチキューのキュー長が第1のしきい値を越えた時に、第1のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生し、

前記拡張入力バッファモジュール部で、前記第1のバックプレッシャー信号を受信したときに、それを発信する出力ポートへのセル出力を停止し、

前記拡張出力バッファモジュール部で、その総バッファ占有量が第2のしきい値を越えた時に、第2のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生し、

前記拡張入力バッファモジュール部で、前記第2のバックプレッシャー信号を受信したときに、それを発信する出力ポートへのセル出力を停止するステップを含むことを特徴とするATM交換機システムのトラヒック制御方法。

【請求項14】 複数の低速な入力回線と複数の低速な出力回線間でATMセルを交換するATM交換システムにおけるトラヒック制御方法であって、前記ATM交換システムは、高速な入力ポートと高速な出力ポートとの間のATM交換機能を有する出力バッファ型構成の中核スイッチ部と、前記複数の低速な入力回線からのATMセルを前記高速な入力ポートへ多重する拡張入力バッファモジュール部と、前記高速な出力ポートからの出力を前記複数の低速な出力回線に分離する拡張出力バッファモジュール部と有し、前記拡張入力バッファモジュール部ではATMセルを宛先出力ポート毎にかつサービスクラス毎にキューイングを可能とし、前記拡張出力バッファモジュール部では宛先出力回線毎にかつサービスクラス毎にキューイングを可能とするATM交換システムのトラヒック制御方法において、

前記中核スイッチ部で、出力ポート毎に用意される中核スイッチキューのキュー長が第1のしきい値を越えた時に、第1のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生し、

前記拡張入力バッファモジュール部で、前記第1のバックプレッシャー信号を受信したときに、それを発信する出力ポートへのセル出力を停止し、

前記拡張出力バッファモジュール部で、その総バッファ占有量が第2のしきい値を越えた時に、第2のバックプレッシャー信号を前記中核スイッチ部へ発生し、

前記中核スイッチ部で、前記第2のバックプレッシャー信号を受信したときに、それを発信する該拡張出力バッファモジュール部へのセル出力を停止するステップを含

むことを特徴とするATM交換機システムのトラヒック制御方法。

【請求項15】 複数の低速な入力回線と複数の低速な出力回線間でATMセルを交換するATM交換システムにおけるトラヒック制御方法であって、前記ATM交換システムは、高速な入力ポートと高速な出力ポートとの間のATM交換機能を有する出力バッファ型構成の中核スイッチ部と、前記複数の低速な入力回線からのATMセルを前記高速な入力ポートへ多重する少なくとも1つの拡張入力バッファモジュール部と、前記高速な出力ポートからの出力を前記複数の低速な出力回線に分離する少なくとも1つの拡張出力バッファモジュール部と有し、前記拡張入力バッファモジュール部ではATMセルを宛先出力ポート毎にかつサービスクラス毎にキューイングを可能とし、前記拡張出力バッファモジュール部では宛先出力回線毎にかつサービスクラス毎にキューイングを可能とするATM交換機システムのトラヒック制御方法において、

前記中核スイッチ部で、出力ポート毎に用意される中核スイッチキューのキュー長が第1のしきい値を越えた時に、第1のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生し、

前記拡張入力バッファモジュール部で、前記第1のバックプレッシャー信号を受信したときに、それを発信する出力ポートへのセル出力を停止し、

前記拡張出力バッファモジュール部で、その総バッファ占有量が第2のしきい値を越えた時に、第2のバックプレッシャー信号を全ての前記拡張入力バッファモジュール部へ発生し、

前記拡張入力バッファモジュール部で、前記第2のバックプレッシャー信号を受信したときに、それを発信する出力ポートへのセル出力を停止し、

前記拡張出力バッファモジュール部で、前記総バッファ占有量が第3のしきい値を越えた時に、第3のバックプレッシャー信号を前記中核スイッチ部へ発生し、

前記中核スイッチ部で、前記第3のバックプレッシャー信号を受信したときに、それを発信する該拡張出力バッファモジュール部へのセル出力を停止するステップを含むことを特徴とするATM交換機システムのトラヒック制御方法。

【請求項16】 前記拡張出力バッファモジュール部で、全ての前記拡張入力バッファモジュール部内に存在する出力ポート対応キューのうち同一出力宛のキューの集合からなる仮想キュー（グローバルキュー）における第1の受付可能レートと、前記拡張出力バッファモジュール部内に存在する出力回線対応キューにおける第2の受付可能レートとを定期的に計算するステップをさらに含むこと、を特徴とする請求項13乃至15のいずれか1つに記載のATM交換機システムのトラヒック制御方法。

【請求項17】 各拡張入力バッファモジュール部で、出力ポート対応キュー長を記述した特別なスイッチ内部制御用セルを定期的に送信し、

各拡張出力バッファモジュール部で、到達する前記スイッチ内部制御用セルの内容を元にグローバルキュー長を復元するステップとをさらに含むこと、を特徴とする請求項16に記載のATM交換機システムのトラヒック制御方法。

【請求項18】 前記サービスクラスの1つとしてネットワークの輻輳度に応じて適応的に送信レートを変えることが可能なアベラブルビットレートサービス(ABR)クラスを有し、

該ABRクラスに対して、送信端末からの受信端末の方向に送られるフォワードRMセルが前記拡張入力バッファモジュール部を通過する際にABRクラスの出力ポート対応キュー長を記述し、

前記拡張出力バッファモジュール部が前記フォワードRMセルを受信する際に前記フォワードRMセル内に記述された出力ポート対応キュー長からABRクラスのグローバルキューの全体キュー長を復元するステップをさらに含むこと、を特徴とする請求項17に記載のATM交換機システムのトラヒック制御方法。

【請求項19】 前記サービスクラスの1つとしてネットワークの輻輳度に応じて適応的に送信レートを変えることが可能なアベラブルビットレートサービス(ABR)クラスを有し、

前記拡張出力バッファモジュール部で、前記ABRクラス用のグローバルキューあるいは前記拡張出力バッファモジュール部の出力回線対応キューの状態時間変化から定期的に受付可能レートを計算し、

前記拡張入力バッファモジュール部で、前記ABRクラスの論理チャンネル(VC)に対して、それが経由するグローバルキューと出力回線対応キューの提示する受付可能レートとのうち小さいほうの値を該論理チャンネル(VC)の受付端末から送信端末の方向に送られるバックワードRMセルの中に記述するステップをさらに含むこと、を特徴とする請求項1乃至3のいずれか1つに記載のATM交換機システムのトラヒック制御方法。

【請求項20】 前記拡張出力バッファモジュール部で、サービスクラス別のグローバルキューあるいは出力回線対応キューの状態時間変化から定期的にサービスクラス毎の受付可能レートを計算し、

前記拡張入力バッファモジュール部で、その受付可能レートに基づいて各出力ポート宛てのセル出力を制御するステップとをさらに含むこと、を特徴とする請求項11乃至15のいずれか1つに記載のATM交換機システムのトラヒック制御方法。

【請求項21】 前記拡張入力バッファモジュール部に設置される出力ポート対応キューを仮想ソースキューと仮想スイッチ内部キューとの二重構成とし、

前記仮想ソースキューからのセル転送を、グローバルキューあるいは出力回線対応キューで計算される受付可能レートに基づいて、前記仮想ソースキューと前記仮想スイッチ内部キューとの間に設けられたレート制御部により制御するステップをさらに含むこと、を特徴とする請求項13乃至15のいずれか1つに記載のATM交換機システムのトラヒック制御方法。

【請求項22】 前記レート制御部に設定される転送レートとして、前記出力ポート対応キューが対応している出力ポート宛のグローバルキューで計算される受付可能レートと現時点で該出力ポート対応キューにセルが蓄積されている論理チャンネル数(アクティブ論理チャンネル数)の積、あるいは前記出力ポート対応キューが対応している出力ポートが収容する各出力回線対応キューで計算される出力回線毎の受付可能レートと前記出力ポート対応キューにおける出力回線毎のアクティブ論理チャンネル数の各積の総和のうち、どちらか小さい方を用いること、を特徴とする請求項21に記載のATM交換機システムのトラヒック制御方法。

【請求項23】 前記拡張入力バッファモジュール部で、その内の出力ポート対応キューのバッファ占有量を出力回線毎と論理チャンネル(VC)毎の両方で観測しておき、パケットの先頭セルが前記出力ポート対応キューに到着したときに、前記出力ポート対応キューにおける前記パケットの宛先出力回線によるバッファ占有量とその論理チャンネル(VC)によるバッファ占有量がそれぞれのしきい値を越えているときに該パケットを廃棄するステップをさらに含むこと、を特徴とする請求項13乃至15のいずれか1つに記載のATM交換機システムのトラヒック制御方法。

【請求項24】 前記出力ポート対応キューにおける該パケットの宛先出力回線によるバッファ占有量と比較するしきい値として、該パケットの宛先出力ポートの拡張出力バッファモジュール部内の出力回線対応キュー毎に計算された受付可能レートと該出力ポート対応キューにおける出力回線毎のアクティブ論理チャンネル数の総和のうち、該パケットの宛先出力回線相当分が占める割合を該出力ポート対応キュー全体に設定された固定しきい値に乗じた値を用い、

該出力ポート対応キューにおける該パケットの論理チャンネル(VC)によるバッファ占有量と比較する値として、上記により計算した値を該出力ポート対応キューにおける該パケットの宛先出力回線行きのアクティブ論理チャンネル数で除算して値を用いること、を特徴とする請求項23に記載のATM交換機システムのトラヒック制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ATM(Asynchronous Transfer Mode: 非同期転送モード)セル(以下で

は、単に“セル”と記す場合もある)を入出力回線間でスイッチングするATM交換機システムに関し、特に、交換容量を容易に増大させることが可能で交換機構成方法、輻輳発生の抑制、実効スループットの増大、論理チャネル(VC)間のスループット公平性を実現することが可能なATM交換機システムのトラヒック制御方法に関する。

【0002】

【従来の技術】従来の交換容量が2.4Gbps程度の小規模なATM交換機システムにおいては、図29に示すように、ユーザ端末が利用可能な低速回線インタフェースを高速な時分割多重バスに直接収容する単純入出力バッファ形式が主流である。

【0003】図29に示す第1の従来のATM交換機システムは、中核スイッチ部40'と、第1乃至第Mの入力バッファモジュール部80-1, 80-2, 80-3, ..., 80-Mとを有する。第1乃至第Mの入力バッファモジュール部80-1~80-Mは、それぞれ、第1乃至第Mの入力回線91-1, 91-2, 91-3, ..., 91-Mと、第1乃至第Mの中間回線92-1, 92-2, 92-3, ..., 92-Mとに接続されている。中核スイッチ部40'は、第1乃至第Mの中間回線92-1~92-Mと第1乃至第Mの出力回線93-1, 93-2, 93-3, ..., 93-Mとに接続されている。第1乃至第Mの入力回線91-1~91-M, 第1乃至第Mの中間回線92-1~92-M, および第1乃至第Mの出力回線93-1~93-Mの各々は、155Mbpsの伝送速度をもつ。

【0004】図30に示すように、各入力バッファモジュール部80(添字省略)は、第1乃至第4のサービスクラスユニット81-1, 81-2, 81-3, 81-4と、入力回線91(添字省略)に接続されたクラス/回線別分離器82と、クラス間優先制御部83と、バックプレッシャー受信部84とから構成される。第1乃至第4のサービスクラスユニット81-1~81-4は、クラス/回線別分離器82とクラス間優先制御部83との間に配置されている。第1乃至第4のサービスクラスユニット81-1~81-4は入力バッファとして働く。

【0005】ここで、第1乃至第4のサービスクラスユニット81-1~81-4によって提供される第1乃至第4のサービス(トラヒッククラス)は、それぞれ、固定ビットレートサービス(Constant Bit Rate Service: CBR)、可変ビットレートサービス(Variable Bit Rate Service: VBR)、アベラブルビットレートサービス(Available Bit Rate Service: ABR)、および無規定ビットレートサービス(Unspecified Bit Rate Service: UBR)である。固定ビットレートサービス(CBR)は、リアルタイム形の動画/音声サービスや、回線交換エミュレーションサービスに用いられる

もので、一定ビットレートで情報は伝送される。可変ビットレートサービス(VBR)は、リアルタイム形の可変レートビデオや音声を対象とし、公衆網におけるフリーサービスのよう、レートがあらかじめ規定できるノンリアルタイム形データ通信サービスもこのクラスでサポートできる。アベラブルビットレートサービス(ABR)は、現在存在するほとんどのLANアプリケーションにあてはまるサービスである。TCP/IP(Transmission Control Protocol/Internet Protocol)などの既存のデータアプリケーションを収容する場合、アベラブルビットレートサービスでは帯域予約を行わずにデータ転送を行う。また、アベラブルビットレートサービスは、リンクがすいていれば、空いているリンク帯域全部を1コネクションで使用できるが、込んでくるとレートを自動的に下げて転送する。無規定ビットレートサービス(UBR)は、ABRと同様、ピークレートPCRしかコネクション設定時に申告しないが、帯域割り当てもなく、またPCR以外は何の入力制御は行われない。したがって、無規定ビットレートサービスでは品質保証規定もない。

【0006】第1乃至第4のサービスクラスユニット81-1~81-4は同様の構成を有するので、以下では、第1のサービスクラスユニット81-1についてのみ述べる。第1のサービスクラスユニット81-1は、第1乃至第Mの出力回線93-1~93-Mに対応するM個の出力回線対応キュー88と、回転優先制御部89とから構成される。各出力回線対応キュー88の入力端は、クラス/回線別分離器82に接続され、その出力端は回転優先制御部89の入力端に接続されている。回転優先制御部89の出力端はクラス間優先制御部83の入力端に接続されている。

【0007】図31に示すように、中核スイッチ部40'は、第1乃至第Mの出力回線93-1~93-Mにそれぞれ対応する第1乃至第Mの中核スイッチキュー41-1, 41-2, 41-3, ..., 41-Mと、時分割多重バス42と、バッファ占有量計数部43と、バックプレッシャー発信部44とを有する。時分割多重バス42は、第1乃至第Nの中間回線92-1~92-Mと第1乃至第Mの中核スイッチキュー41-1~41-Mとに接続されている。第1乃至第Mの中核スイッチキュー41-1~41-Mはそれぞれ第1乃至第Mの出力回線93-1~93-Mに接続される。第1乃至第Mの中核スイッチキュー41-1~41-Mは出力バッファとして働く。

【0008】以下、図29~31を参照して、第1の従来のATM交換機システムのセルスイッチング動作について説明する。入力回線91(添字省略)から流入するATMセルは、クラス/回線別分離器82によりATMセルの宛先出力回線とサービスクラス種別とを識別された上で、適切な出力回線対応キュー88に格納される。

回転優先制御部89は、同一サービスクラスに属する出力回線対応キュー88間でセル送出権を周期的に持ち回せる。クラス間優先制御部83は、あらかじめ決められた優先制御論理に従って異なるサービスクラス間のセル送出要求の競合を制御する。回転優先制御部89とクラス間優先制御部83との組み合わせ処理により選択された出力回線対応キュー88から取り出されたATMセルは、中間回線92（添字省略）および時分割多重バス42を経由してその宛先出力回線に対応した中核スイッチキュー41（添字省略）に格納される。中核スイッチキュー41では先頭のセルから順に出力回線93（添字省略）に送出される。中核スイッチ部40'内のバッファ占有量計数部43は、中核スイッチキュー41のキュー長を観測する。バックプレッシャー発信部44は、バッファ占有量計数部43の保有する中核スイッチキュー41のキュー長情報を参照し、キュー長がしきい値を越えて輻輳状態になった中核スイッチキュー41が存在することを検知すると、全ての入力バッファモジュール部80に対して輻輳状態にある出力回線を明記したバックプレッシャー信号101を発信する。入力バッファモジュール部80内のバックプレッシャー受信部84は、受信したバックプレッシャー信号101の情報からバックプレッシャー信号101を発した出力回線を特定し、その出力回線に対応した出力回線対応キュー88からのセル送出を禁止するよう回線優先制御部89に通知する。

【0009】このように、第1の従来のATM交換機システムにおける入出力バッファ間のトラフィック制御としては、特定の出力回線が輻輳した場合にその出力バッファでのATMセルの損失を防ぐために、その出力回線へのセル出力を停止させることを命じるバックプレッシャー信号101を全ての入力バッファに対して発生するというような、単純なバックプレッシャー制御が存在するだけである。

【0010】上述した第1の従来のATM交換機システムには次に述べるような問題点がある。交換容量を増大させるためには、より高速な時分割多重バスにより多くの低速回線インタフェースを収容させる形式となるが、時分割多重バス上での入出力信号数の増大にともないピン数が足りなくなるなどLSI実装の観点から実現性に困難をとまう。

【0011】図32に、交換容量の増大化が容易な、第2の従来のATM交換機システムを示す。図示のATM交換機システムは、中核スイッチ部40"と、第1乃至第Nの拡張入力バッファモジュール部50'-1, 50'-2, 50'-3, ..., 50'-Nと、第1乃至第Nの拡張出力バッファモジュール部60'-1, 60'-2, 60'-3, ..., 60'-Nとを有する。図示の例では、複数の拡張入力バッファモジュール部および複数の拡張出力バッファモジュール部を有しているが、それぞれ、1つでも良い。

【0012】第1乃至第Nの拡張入力バッファモジュール部50'-1~50'-Nの各々は4本の入力回線91に接続されると共に、第1乃至第Nの拡張入力バッファモジュール部50'-1~50'-Nは、それぞれ、第1乃至第Nの入力ポート71-1, 71-2, 71-3, ..., 71-Nに接続されている。中核スイッチ部40"は、第1乃至第Nの入力ポート71-1~71-Nと第1乃至第Nの出力ポート72-1, 72-2, 72-3, ..., 72-Nとに接続されている。第1乃至第Nの拡張出力バッファモジュール部60'-1~60'-Nの各々は4本の出力回線93に接続されると共に、第1乃至第Nの拡張出力バッファモジュール部60'-1~60'-Nは、それぞれ、第1乃至第Nの出力ポート72-1~72-Nに接続されている。入力回線91および出力回線93の各々は155Mbpsの伝送速度をもち、入力ポート71（添字省略）および出力ポート72（添字省略）の各々は620Mbpsの伝送速度をもつ。

【0013】中核スイッチ部40"は高速な入出力ポート間のATM交換機能を有する。各拡張入力バッファモジュール部50'（添字省略）は、複数本（この例では4本）の低速な入力回線91を多重して中核スイッチ部40"の高速な入力ポート71（添字省略）への接続を仲介し、出力ポート毎にキューイング可能としている。各拡張出力バッファモジュール部60'（添字省略）は、中核スイッチ部40"の高速な出力ポート72（添字省略）からの出力を複数本（この例では4本）の低速な出力回線93に分離する役目を担い、出力回線毎のキューイングを可能としている。各拡張入力バッファモジュール部50'では、ATMセルを宛先出力回線毎にかつサービスクラス毎にキューイングを可能とする。各拡張出力バッファモジュール部60'でも、ATMセルを宛先出力回線毎かつサービスクラス毎にキューイングを可能とする。

【0014】図33に示される様に、各拡張入力バッファモジュール部50'（添字省略）は、第1乃至第4のサービスクラスユニット51-1, 51-2, 51-3, 51-4と、4本の入力回線91に接続されたクラス/ポート別分離器52と、クラス間優先制御部53と、バックプレッシャー受信部54'と、バッファ占有量計数部55と、パケット受付制御部56と、リソース管理（以下、RMと略称する）セル処理部57とから構成される。第1乃至第4のサービスクラスユニット51-1~51-4は、クラス/ポート別分離器52とクラス間優先制御部53との間に配置されている。第1乃至第4のサービスクラスユニット51-1~51-4は、それぞれ、固定ビットレートサービス（CBR）、可変ビットレートサービス（VBR）、アベラブルビットレートサービス（ABR）、および無規定ビットレートサービス（UBR）を提供する第1乃至第4のサービス

クラス用である。第1乃至第4のサービスクラスユニット51-1~51-4は入力バッファとして働く。

【0015】第1乃至第4のサービスクラスユニット51-1~51-4は同様の構成を有するので、以下では、第1のサービスクラスユニット51-1についてのみ述べる。第1のサービスクラスユニット51-1は、第1乃至第Nの出力ポート72-1~72-Nに対応するN個の出力ポート対応キュー58と、回転優先制御部59とから構成される。各出力ポート対応キュー58は、仮想ソースキュー58-1と、レート制御部58-2と、仮想スイッチ内部キュー58-3とから構成される。各仮想ソースキュー58-1の入力端は、クラス/ポート別分離器52に接続され、その出力端はレート制御部58-2を介して仮想スイッチ内部キュー58-3の入力端に接続されている。仮想スイッチ内部キュー58-3の出力端は回転優先制御部59の入力端に接続されている。すなわち、出力ポート対応キュー58は、レート制御部58-2を間にはさむ仮想ソースキュー58-1と仮想スイッチ内部キュー58-3の二重構成である。回転優先制御部59の出力端はクラス間優先制御部53の入力端に接続されている。

【0016】出力ポート対応キュー58をサービスクラス毎に用意することによって、容易にマルチサービスクラス環境を提供することができる。バッファ占有量計数部55は、各出力ポート対応キュー58において対応する出力ポートが収容する出力回線毎と論理チャネル(VC)毎のバッファ占有量を観測する。パケット受付制御部56は、計測されたバッファ占有量に基づいてパケット選択廃棄を制御する。RMセル処理部57は、ABRクラスのバックワードRMセルへのER(Explicit Rate)値の書き込みを行う。

【0017】図34に示されるように、中核スイッチ部40は、第1乃至第Nの出力ポート72-1~72-Nにそれぞれ対応する第1乃至第Nの中核スイッチキュー41-1, 41-2, 41-3, ..., 41-Nと、時分割多重バス42と、バッファ占有量計数部43と、バックプレッシャー発信部44とを有する。時分割多重バス42は、第1乃至第Nの入力ポート71-1~71-Nと第1乃至第Nの中核スイッチキュー41-1~41-Nとに接続されている。第1乃至第Nの中核スイッチキュー41-1~41-Nはそれぞれ第1乃至第Nの出力ポート72-1~72-Nに接続されている。第1乃至第Nの中核スイッチキュー41-1~41-Nは中間バッファとして働く。

【0018】図35に示されるように、各拡張出力バッファモジュール部60'(添字省略)は、第1乃至第4のサービスクラスユニット61-1, 61-2, 61-3, 61-4と、入力ポート72(添字省略)に接続されたクラス/回線別分離器62と、4本の出力回線93に対応する4つのクラス間優先制御部63と、バッファ

占有量計測部65と、受付可能レート計算部66と、RMセル処理部67とから構成される。第1乃至第4のサービスクラスユニット61-1~61-4は、クラス/回線別分離器62とクラス間優先制御部63との間に配置されている。第1乃至第4のサービスクラスユニット61-1~61-4は、それぞれ、固定ビットレートサービス(CBR)、可変ビットレートサービス(VBR)、アベラブルビットレートサービス(ABR)、および無規定ビットレートサービス(UBR)を提供する第1乃至第4のサービスクラス用である。第1乃至第4のサービスクラスユニット61-1~61-4は出力バッファとして働く。

【0019】第1乃至第4のサービスクラスユニット61-1~61-4は同様の構成を有するので、以下では、第1のサービスクラスユニット61-1についてのみ述べる。第1のサービスクラスユニット61-1は、4本の出力回線93に対応する4個の出力回線対応キュー68から構成される。各出力回線対応キュー68の入力端は、クラス/回線別分離器62に接続され、その出力端は対応のクラス間優先制御部63の入力端に接続されている。

【0020】拡張入力バッファモジュール部50'と同様に、拡張出力バッファモジュール部60'は、出力回線対応キュー68をサービスクラス毎に用意することによって、容易にマルチサービスクラス環境を提供することができる。受付可能レート計算部66は、全ての拡張入力バッファモジュール部50'に存在する出力ポート対応キュー58のうち、同一ポート宛の出力ポート対応キュー58の集合からなる仮想キュー(グローバルキュー)における第1の受付可能レートと、拡張出力バッファモジュール部60'内に存在する出力回線対応キュー68における第2の受付可能レートとを計算する。

【0021】拡張出力バッファモジュール部60'では、各論理キューがモジュール毎に用意された全バッファ容量を自由に使用できる完全共有バッファ方式を用いる。拡張入力バッファモジュール部50'では、論理キュー毎に上限値を設定して特定の論理キューが全て全バッファ量を独占できない構成とする。

【0022】以下に、図32乃至図35を参照して、第2の従来のATM交換機システムのセルスイッチング動作について説明する。複数の入力回線91を収容する拡張入力バッファモジュール部50'(添字省略)では、入力回線91から流入するATMセルをクラス/ポート別分離器52によりATMセルの宛先出力ポートとサービスクラス種別とを識別した上で、適切な出力ポート対応キュー58に格納する。出力ポート対応キュー58は、前述したように、仮想ソースキュー58-1とレート制御部58-2と仮想スイッチ内部キュー58-3とにより構成される。ATMセルは最初に仮想ソースキュー58-1に格納されるが、レート制御部58-2によ

り提供される転送速度で仮想ソースキュー58-1から仮想スイッチ内部キュー58-3へ移動する。回転優先制御部59は、同一サービスクラスに属する仮想スイッチ内部キュー58-3間でセル送出権を周期的に持ち回られる。クラス間優先制御部53は、あらかじめ決められた優先制御論理に従って異なるサービスクラス間のセル送出要求の競合を制御する。回転優先制御部59とクラス間優先制御部53との組み合わせ処理により、その宛先出力ポート72（添字省略）に対応した中核スイッチキュー41（添字省略）に格納される。

【0023】中核スイッチキュー41ではATMセルが先頭のセルから順に出力ポート72に送出され、後続の拡張出力バッファモジュール部60'（添字省略）に送られる。

【0024】拡張出力バッファモジュール部60'では、クラス/回線別分離器62によりATMセルの宛先出力回線とサービスクラス種別とを識別した上で、適切な出力回線対応キュー68に格納する。出力回線毎に用意されるクラス間優先制御部63は、同一出力回線行きのセルを格納する各サービスクラスの出力回線対応キュー68の中から、次にセルを送出すべきサービスクラスをあらかじめ決められた優先制御論理に従って選択し、その先頭セルを出力回線93に送出する。

【0025】このような構成の第2の従来のATM交換機システムにおいては、中核スイッチ部40"で出力ポート72（添字省略）毎に用意される中核スイッチキュー41（添字省略）のキュー長がしきい値を越えた時に、バックプレッシャー発信部44がバックプレッシャー信号101を全ての拡張入力バッファモジュール部50'（添字省略）へ発生するだけである。また、各拡張出力バッファモジュール部60'（添字省略）では、バックプレッシャー制御を行わず、セル廃棄を行うのみである。

【0026】このような第2の従来のATM交換機システムの構成では、拡張出力バッファモジュール部60'の出力バッファを有効に利用することができない。また、このような構成の第2の従来のATM交換機システムにおける入出力バッファ間のトラヒック制御としては、特定の出力回線が輻輳した場合にその出力バッファでのセル損失を防ぐために、その出力回線へのセル出力を停止させることを命じるバックプレッシャー信号を全ての入力バッファに対して発生するというような、単純なバックプレッシャー制御が存在するだけである。

【0027】

【発明が解決しようとする課題】上記第1および第2の従来のATM交換機システムには次に述べるような共通の問題点がある。複数の入力回線からのATMセルが同一出力回線に同時到着することによる輻輳が頻繁に発生し、それにもなって出力バッファでのセル損失を防ぐためのバックプレッシャー信号が頻繁に発信される。基

本的に、バックプレッシャー制御は各入力回線からの同一出力回線へのスループットを均一化させる作用があり、同一出力回線へ向かう論理チャネル（VC）の本数に入力回線間でばらつきがある場合、同一出力回線を使用するVC間でのスループット公平性を全く保証できないなど、第1および第2の従来のATM交換機システムでは頻繁なバックプレッシャー信号発生によってこのようなスループット非公平性の問題が生じている。

【0028】本発明の目的は、ATM交換機システム内部での輻輳発生を抑制して実効スループットを増大させ、かつ同一出力回線を使用するVC間でのスループット公平性を保証するATM交換機システムおよびそのトラヒック制御方法を提供することにある。

【0029】

【課題を解決するための手段】本発明が適用されるATM交換機システムは、高速な入力ポートと高速な出力ポートとの間のATM交換機能を有する出力バッファ型構成の中核スイッチ部と、複数の低速な入力回線からのATMセルを高速な入力ポートへ多重する少なくとも1つの拡張入力バッファモジュール部と、高速な出力ポートからの出力を複数の低速な出力回線に分離する、少なくとも1つの拡張出力バッファモジュール部とを有する。拡張入力バッファモジュール部では中核スイッチ部の出力ポート毎かつサービスクラス毎にキューイングを可能とし、拡張出力バッファモジュール部では自らが収容する出力回線毎かつサービスクラス毎にキューイングを可能とする構成を有する。

【0030】本発明では、上記構成を有するATM交換機システムにおいて、中核スイッチ部と拡張出力バッファモジュール部でのセル損失を防ぐための、バックプレッシャー制御を行う。すなわち、中核スイッチ部は、その出力ポート毎に用意される中核スイッチキューのキュー長が予め定められた第1のしきい値を越えたときに、第1のバックプレッシャー信号を全ての拡張入力バッファモジュール部へ発生する。また、拡張出力バッファモジュール部は、その総バッファ占有量が予め定められた第2のしきい値を越えたときに、第2のバックプレッシャー信号を拡張入力バッファモジュール部へ発生し、および/または、その総バッファ占有量が予め定められた第3のしきい値を越えたときに、第3のバックプレッシャー信号を中核スイッチ部へ発生する。拡張入力バッファモジュール部は、受信した第1のバックプレッシャー信号または第2のバックプレッシャー信号を発生する出力ポートへのセル出力を停止する。中核スイッチ部は、受信した第3のバックプレッシャー信号を発生する拡張出力バッファモジュール部へのセル出力を停止する。

【0031】また、本発明では、上記構成を有するATM交換機システムにおいて、内部輻輳が頻繁に発生するのを抑えて出力回線毎のスループットを増大させるとともに、同一出力回線を使用するVC間でのスループット

公平性の改善や拡張出力バッファモジュール部のバッファの有効利用を計るための制御を行う。そのために、全ての拡張入力バッファモジュール部内の出力ポート対応キューのうち、同一ポート行きの出力ポート対応キューの集合からなる仮想キュー（グローバルキュー）における第1の受付可能ルートと、拡張出力バッファモジュール部内の出力回線対応キューにおける第2の受付可能ルートとを定期的に計算するレート計算手段を備える構成としている。拡張入力バッファモジュール部内の出力ポート対応キューを仮想ソースキューと仮想スイッチ内部キューの二重構成としている。そして、仮想ソースキューから仮想スイッチ内部キューのセル転送を、グローバルキューあるいは出力回線対応キューで計算される受付可能レートに基づいて、仮想ソースキューと仮想スイッチ内部キューとの間に設けられたレート制御部により制御する。

【0032】また、本発明では、上記構成を有するATM交換機システムにおいて、拡張入力バッファモジュール部内のレート制御部でのレート制御を出力回線対応とさせるべく、拡張入力バッファモジュール部内の出力ポート対応キューのバッファ占有量を出力回線毎と論理チャネル（VC）毎の両方で観測しておき、パケットの先頭セルが拡張入力バッファモジュール部内の出力ポート対応キューに到着したとき、パケットの宛先出力回線によるバッファ占有量と論理チャネル（VC）によるバッファ占有量がそれぞれのしきい値を越えているときに該パケットを廃棄することとし、出力回線毎のバッファ占有量と比較するしきい値を、拡張出力バッファモジュール部内の出力回線対応キューで計算される受付可能レートと出力ポート対応キューにおけるアクティブVC数とを考慮に入れて、動的に決定する。

【0033】さらに、本発明では、上記構成を有するATM交換機システムにおいて、ネットワークの輻輳度に応じて適応的に送信レートを変えることが可能なABRクラスのためのABRレート制御として、ABRクラスのグローバルキューと拡張出力バッファモジュール部内の出力回線対応キューで受付可能レートを計算し、ABRクラスのVCが経由するグローバルキューと出力回線対応キューの受付可能レートのうちどちらか小さいほうの値をそのVCの受信端末から送信端末の方向へ送られるバックワードRMセルに記述する。

【0034】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0035】図1を参照すると、本発明の一実施の形態に係るATM交換機システムは、拡張入力バッファモジュール部、中核スイッチ部、および拡張出力バッファモジュール部が図32に示すそれらのものから後述するように変更されている。したがって、拡張入力バッファモジュール部、中核スイッチ部、および拡張出力バッファ

モジュール部に、それぞれ、50（添字省略）、40、および60（添字省略）の参照符号を付してある。

【0036】図32に示すATM交換機システムでは、中核スイッチ部40が第1のバックプレッシャー信号101を全ての拡張入力バッファモジュール部50（添字省略）へ送出するだけである。これに対して、図1に示すATM交換機システムでは、中核スイッチ部40が第1のバックプレッシャー信号101を全ての拡張入力バッファモジュール部50へ送出するだけでなく、拡張出力バッファモジュール部60が第2および第3のバックプレッシャー信号102および103をそれぞれ全ての拡張入力バッファモジュール部50および中核スイッチ部40へ送出している。尚、本実施の形態では、拡張出力バッファモジュール部60が第2および第3のバックプレッシャー信号102および103をそれぞれ全ての拡張入力バッファモジュール部50および中核スイッチ部40へ送出しているが、拡張出力バッファモジュール部60は、第2のバックプレッシャー信号102のみを全ての拡張入力バッファモジュール部50へ送出するようにしても良いし、または、第3のバックプレッシャー信号103のみを中核スイッチ部40へ送出するようにしても良い。

【0037】図2を参照すると、拡張入力バッファモジュール部50（添字省略）は、バックプレッシャー受信部が図33に示すものから変更されている点を除いて、図33に示すものと同様の構成を有する。したがって、バックプレッシャー受信部に54の参照符号を付すと共に、図33に示すものと同様の機能を有するものには同一の参照符号を付して、それらの説明を省略する。

【0038】バックプレッシャー受信部54は、第1のバックプレッシャー信号101を中核スイッチ部40（図1）から受信するばかりでなく、第2のバックプレッシャー信号102を拡張出力バッファモジュール部60（添字省略）から受信して、後述するように回線優先制御部59を制御する。

【0039】図3を参照すると、中核スイッチ部40は、バックプレッシャー受信部45を有する点を除いて、図34に示す中核スイッチ部40と同様の構成を有する。したがって、図34に示すものと同様の機能を有するものには同一の参照符号を付して、それらの説明を省略する。

【0040】バックプレッシャー受信部45は、拡張出力バッファモジュール部60（添字省略）（図1）から第3のバックプレッシャー信号103を受信して、後述するように中核スイッチ部41（添字省略）を制御する。

【0041】図4を参照すると、拡張出力バッファモジュール部60（添字省略）は、バックプレッシャー発信部64を有する点を除いて、図35に示す拡張出力バッファモジュール部60と同様の構成を有する。したが

って、図35に示すものと同様の機能を有するものには同一の参照符号を付して、それらの説明を省略する。

【0042】バッファブレッシャー発信部64は、後述するようにバッファ占有量計数部65の内容を参照して、第2および第3のバックブレッシャー信号102および103をそれぞれ全ての拡張入力バッファモジュール部50（添字省略）（図1）および中核スイッチ部40へ送出する。

【0043】図5に拡張入力バッファモジュール部50内のバッファ占有量計数部55が保有する情報内容（バッファ占有量情報テーブル）200の一例を示す。拡張入力バッファモジュール部50内のバッファ占有量計数部55は、各サービスクラスの出力ポート対応キュー58における仮想ソースキュー58-1と仮想スイッチ内部キュー58-3を含む全キュー長、仮想スイッチ内部キュー58-3のキュー長、全キュー長の出力回線毎/VC毎のバッファ占有量等を保有する。

【0044】図6に中核スイッチ部40内のバッファ占有量計数部43が保有する情報内容（バッファ占有量情報テーブル）201の一例を示す。中核スイッチ部40内のバッファ占有量計数部43は、各中核スイッチ部41（添字省略）のキュー長を保有する。

【0045】図7に拡張出力バッファモジュール部60内のバッファ占有量計数部65が保有する情報内容（バッファ占有量情報テーブル）202および203の一例を示す。拡張出力バッファモジュール部60内のバッファ占有量計数部65は、各サービスクラスの出力回線対応キュー61（添字省略）におけるバッファ占有量および拡張出力バッファモジュール部60宛のグローバルキューを構成する各出力ポート対応キュー長を保存する。

【0046】

【実施例】図8は本発明によるATM交換機システムにおけるバックブレッシャー制御の模式図である。図8では第1の拡張入力バッファモジュール部50-1および第1の拡張出力バッファモジュール部60-1のみを図示し、第2乃至第Nの拡張入力バッファモジュール部50-2〜50-Nおよび第2乃至第Nの拡張出力バッファモジュール部60-2〜60-Nの図示を省略している。また、説明の簡略化のため、一つのサービスクラスしか存在しない場合についての構成を示す。したがって、第1の拡張入力バッファモジュール部50-1は1つのサービスクラスユニット51のみを含み、第1の拡張出力バッファモジュール部60-1は1つのサービスクラスユニット61のみを含む。

【0047】中核スイッチ部40内において、出力ポート72（添字省略）毎に用意される中核スイッチキュー41（添字省略）のキュー長 Q_{CS} が第1のしきい値 $Q_{th}(bps)$ を越えると、バッファブレッシャー発信部44は全ての拡張入力バッファモジュール部50（添字省略）に対して第1のバックブレッシャー信号（BP_CS）101

を発信する。各拡張入力バッファモジュール部50では、第1のバックブレッシャー信号（BP_CS）101を受けたバックブレッシャー受信部54は、第1のバックブレッシャー信号（BP_CS）101を発信した出力ポート行きセル送出を停止させる。尚、複数のサービスクラスが混在する環境では、サービスクラス毎に第1のしきい値 $Q_{th}(bps)$ を用意するか、あるいは一つのバックブレッシャー信号（BP_CS）101を複数のサービスクラスに適用することで、多様なサービスクラス品質要求に応じた制御が可能となる。

【0048】一方、拡張出力バッファモジュール部60（添字省略）において、全バッファ使用量 Q_{oxb} が第2のしきい値 $Q_{th}(bpoxb\ low)$ を越えた場合、バックブレッシャー発信部64は全ての拡張入力バッファモジュール部50に対して第2のバックブレッシャー信号（BP_OXB_LOW）102を発信する。各拡張入力バッファモジュール部50では、第2のバックブレッシャー信号（BP_OXB_LOW）102をバックブレッシャー受信部54は、第2のバックブレッシャー信号（BP_OXB_LOW）102を発信した出力ポート行きセル送出を停止する。サービスクラス毎に第2のしきい値 $Q_{th}(bpoxb\ low)$ を用意するか、あるいは第2のバックブレッシャー信号（BP_OXB_LOW）102を適用させるサービスクラスを限定することで、多様なサービスクラス品質要求に応じた制御が可能となる。

【0049】また、拡張出力バッファモジュール部60（添字省略）において、全バッファ使用量 Q_{oxb} が第3のしきい値 $Q_{th}(bpoxb\ high)$ を越えた場合、バックブレッシャー発信部64は前段に位置する中核スイッチ部40に対して第3のバックブレッシャー信号（BP_OXB_HIGH）103を発信する。中核スイッチ部40では、第3のバックブレッシャー信号（BP_OXB_HIGH）103を受信したバックブレッシャー受信部45は、第3のバックブレッシャー信号（BP_OXB_HIGH）103を発信した後続の拡張出力バッファモジュール部60へのセル出力を停止させる。

【0050】以上説明したように、上記実施例によれば、大容量の交換容量を保有するATM交換機システムを実現するために、低速回線インタフェースを時分割多重バスに直接収容させる第1の従来のATM交換機システム（図29）と、より高速なポートインタフェースを直接収容させる本発明によるATM交換機システムとでは、明らかに本発明によるATM交換機システムの方が時分割多重バスに収容するインタフェース数が少ない。その結果、LSI実装上のピン数不足などの問題発生を抑えることが可能である。

【0051】また、拡張入力バッファモジュール部50内の出力ポート対応キュー58をサービスクラス毎に用意し、セル廃棄を防ぐために中核スイッチ部40や拡張出力バッファモジュール部60から発信される第1およ

び第2のバックプレッシャー信号101および103の適用をサービスクラス対応に細分化することにより、セル廃棄率や遅延に関して多様なサービスクラス品質を提供することが可能となる。

【0052】図9は受付可能レートの計算環境を示す。図9でも図8と同様に、第1の拡張入力バッファモジュール部50-1および第1の拡張出力バッファモジュール部60-1のみを図示し、説明の簡略化のため、一つのサービスクラスしか存在しない場合についての構成を示す。

【0053】各拡張出力バッファモジュール部60（添字省略）に設置される受付可能レート計算部66は、全ての拡張入力バッファモジュール部50（添字省略）内の出力ポート対応キュー58のうち自らの収容されている出力ポート行きの出力ポート対応キュー58の仮想スイッチ内部キュー58-3部分の集合体であるグローバルキュー90やその拡張出力バッファモジュール部60に収容している回線出力対応キュー68のキュー長の時間変化をサービスクラス別に観察し、その変化傾向に基づいてキュー長が時間的に安定するような受付可能レートを定期的に算出する。各拡張出力バッファモジュール部60（添字省略）に設置される受付可能レート計算部66がグローバルキュー長を把握できるように、スイッチ内部だけで往来するスイッチ内部制御用セルを用意する。各拡張入力バッファモジュール部50は出力ポート*

$$R[i] = \min \{ ER_g[i] \times N_{vc}[i], \sum ER_{line}[i,j] \times N_{vc}[i,j] \}$$

アクティブVC数は、バッファ占有量計数部55が保有する各出力ポート対応キュー58におけるVC毎のバッファ占有量情報を参照して算出される。

【0056】以上説明したように、上記実施例によれば、入力レートが出力レートよりも大きく輻輳の発生する箇所であるグローバルキュー90や拡張出力バッファモジュール部60内の出力回線対応キュー68において、輻輳を発生することなく利用率を大きくとることが可能な受付可能レートを計算し、拡張入力バッファモジュール部50内の出力ポート対応キュー58を仮想ソースキュー58-1と仮想スイッチ内部キュー58-3の二重構成として、仮想ソースキュー58-1から仮想スイッチ内部キュー58-3へのセル転送レートを、ATM交換機システムの後方配置モジュールで計算される受付可能レートに基づいて制御している。このことにより、ATM交換機システムの内部輻輳を引き起こす大きな要因であるトラヒック特性を明示しない不明瞭な入力トラヒックに対して、それらを仮想ソースキュー58-1に一時保存してATM交換機内部への実質的な流入を制限することが可能である。また、内部輻輳の発生頻度を抑えて内部輻輳によるサービスクラス間の干渉を取り除くことが可能である。

【0057】また、出力ポート72（添字省略）全体へのセル転送を制御することはできるが、その出力ポート

*対応キュー長を記述してスイッチ内部制御用セルを定期的に送信する。スイッチ内部制御用セルを受信する拡張出力バッファモジュール部60では、スイッチ内部制御用セルの内容から出力ポート宛てのグローバルキュー長を復元する。

【0054】拡張入力バッファモジュール部50内の出力ポート対応キュー58のレート制御部58-2への送信レート設定は、受付可能レート計算部66が受付可能レートを計算する度に実行される。ある拡張入力バッファモジュール部50内のポート番号iの出力ポートに対応した出力ポート対応キュー58のレート制御部58-2に設定される送信レート $R[i]$ は、ポート番号iの出力ポートのグローバルキュー90で計算される受付可能レート $ER_g[i]$ とその出力ポート対応キュー58における現時点の総アクティブVC数 $N_{vc}[i]$ の積、あるいはポート番号iの出力ポートが収容する各出力回線対応キュー68で計算される受付可能レート $ER_{line}[i,j]$ （jは出力回線番号）とその出力ポート対応キュー58における出力回線毎のアクティブVC数 $N_{vc}[i,j]$ （ここで $N_{vc} = \sum N_{vc}[i,j]$ ）の各積の総和のうち、どちらか小さい方を設定する。すなわち、送信レート $R[i]$ は下記の数式1で求められる。

【0055】

【数1】

72が収容する出力回線93毎には制御できない拡張入力バッファモジュール部50の出力ポート対応キュー58に対して、対応する宛先出力ポートが収容する出力回線対応キュー68で計算される受付可能レートに、その出力ポート対応キュー58における出力回線毎のアクティブVC数を乗じたものの総和をレート制御部58-2に設定することを全ての拡張入力バッファモジュール部50で行っている。このことにより、拡張入力バッファモジュール部50間で同一出力回線行きのVC数にばらつきがある場合でも、各拡張入力バッファモジュール部50が出力回線毎VC数を考慮して送信レートを自律的に決定するので、同一出力回線行きのVC間で均等なスループットを保証することが可能である。

【0058】次に、ATMセルとパケットとの関係について説明する。周知のように、通信プロトコルは階層的になっていて、各層はそれぞれが識別可能な情報ブロックを下層に落としこみ、伝達を依頼する。一番上位のプロトコル層がアプリケーション層であり、下位側のプロトコル層にATM層があって、アプリケーション層とATM層との間の種々の中間プロトコル層が存在する。

【0059】まず、アプリケーション層が伝達要求を発生し、そのデータを下層の中間プロトコル層に渡す。中間プロトコル層は、その層における特殊処理（セグメントヘッダ/トレーラ付加）した後、それをATM層に渡

す。ATM層は、落ちてきた中間プロトコル層の情報ブロックをATMセルと呼ばれる固定長（53バイト）に分割して、それぞれのATMセルの伝送を試みる。ここで、中間プロトコル層の情報ブロックがバケットに相当する。したがって、バケットは複数個のATMセルに分割される。換言すれば、バケットは複数個のATMセルから構成される。

【0060】上位のプロトコル層にしてみれば、バケット単位で処理を行うので、それを構成するATMセルの内何個落ちたとかには無関心である。要は、バケット丸ごと伝達されるかされないかが、上位のプロトコル層にとって重要である。バケット選択廃棄は、個々のセル情報から同一のバケットに所属するセル群を識別し、バケット単位でセル廃棄を行なう手法である。

【0061】次に、図10を参照して、拡張入力バッファモジュール部50（添字省略）内のバケット受付制御部56によるバケット選択廃棄の処理について説明する。バケット受付制御部56は、バケットの先頭セルが、ある拡張入力バッファモジュール部50内のポート番号*i*の出力ポートに対応した出力ポート対応キュー58に到着する（ステップF1）と、キュー全体に対して設定された固定しきい値 Q_{th} 、ポート番号*i*の出力ポート72-*i*に収容される各出力回線毎の受付可能レート $ER_{line}[i, j]$ （*j*は出力回線番号）、およびその出力ポート対応キュー58における出力回線毎のアクティブVC数 $N_{vc}[i, j]$ から、下記の数式2のように、しきい値 $Q_{th}(line)$ を計算する（ステップF2）。

【0062】

【数2】

$$Q_{th}(line) = \frac{ER_{line}[i, A] \times N_{vc}[i, A]}{\sum_j ER_{line}[i, j] \times N_{vc}[i, j]} \times Q_{th}$$

ここで、*A*はバケットの宛先出力回線番号である。バケット受付制御部56は、バッファ占有量計数部55にポート番号*i*に出力ポートに対応して出力ポート対応キュー58における出力回線毎の占有量 $Q_{line}[i, j]$

（*j*は出力回線番号）を計数させておき（ステップF3）、バケットの宛先出力回線*A*による占有量 $Q_{line}[i, A]$ としきい値 $Q_{th}(line)$ とを比較する（ステップF4）。もし占有量 $Q_{line}[i, A]$ がしきい値 $Q_{th}(line)$ よりも小さいならば（ $Q_{line}[i, A] < Q_{th}(line)$ ）、バケット受付制御部56はそのままバケットを受信する（ステップF9）。一方、もし占有量 $Q_{line}[i, A]$ がしきい値 $Q_{th}(line)$ 以上ならば（ $Q_{line}[i, A] \geq Q_{th}(line)$ ）、バケット受付制御部56は、しきい値 $Q_{th}(line)$ とポート番号*i*の出力ポート72-*i*に対応した出力ポート対応キュー58における出力回線*A*行きのアクティブVC数VC数 $N_{vc}[i, A]$ と所定の係数*K*とから、下記の数式3のように、しきい値 $Q_{th}(vc)$ を計算する（ステップF5）。

【0063】

【数3】

$$Q_{th}(vc) = \frac{Q_{th}(line)}{N_{vc}[i, A]} \times K$$

ここで、*K*は制御パラメータで、交換機管理者が自由に設定できるものである。バケット受付制御部56は、バッファ占有量計数部55にそのバケットの所属VCによる占有量 Q_{vc} を計数させ（ステップF6）、占有量 Q_{vc} としきい値 $Q_{th}(vc)$ とを比較する（ステップF7）。もし占有量 Q_{vc} がしきい値 $Q_{th}(vc)$ よりも小さいならば（ $Q_{vc} < Q_{th}(vc)$ ）、バケット受付制御部56はそのままバケットを受信する（ステップF9）。一方、もし占有量 Q_{vc} がしきい値 $Q_{th}(vc)$ 以上ならば（ $Q_{vc} \geq Q_{th}(vc)$ ）、バケット受付制御部56はそのバケットを廃棄する（ステップF8）。

【0064】以上説明したように、上記実施例では、拡張入力バッファモジュール部50内の出力ポート対応キュー58に到着するバケットの受信可否を、出力ポート対応キュー58の対応する出力ポートが収容する出力回線対応キュー68で計算される受付可能レートに、その出力ポート対応キュー58における出力回線毎のアクティブVC数を乗じたものの総和のうちバケットの宛先出力回線相当分が占める割合を考慮して算出するしきい値と宛先出力回線によるバッファ占有量とを比較して決めている。このことにより、出力ポート対応キュー58内部の出力回線毎のバッファ占有量をレート制御部58-2に割り当てるレートの出力回線毎の比率と同一にすることが可能である。これは、出力回線93を一切区別できない出力ポート対応キュー58において、指定された転送レートの出力回線比に応じて転送レートを制御するのと同等の効果をもたらす。

【0065】さらに、バケットの受信可否を決定するさらなる条件として、バケットの所属するVCによるバッファ占有量と比較するしきい値として、宛先出力回線用に算出されたしきい値をその出力回線宛のアクティブVC数で除算した値を用いることにより、同一出力回線を経由する複数のVC間で公平なスループットを達成することが可能である。

【0066】次に、拡張入力バッファモジュール部50内のRMセル処理部57および拡張出力バッファモジュール部60内のRMセル処理部67におけるRMセル処理について説明する。

【0067】バックワードRMセルが拡張入力バッファモジュール部50に到着すると、そのバックワードRMセルに対するフォワードRMセルはその拡張入力バッファモジュール部50と対をなす拡張出力バッファモジュール部60を通過するはずなので、RMセル処理部57は、対の拡張出力バッファモジュール部60の受付可能レート計算部66から、その拡張出力バッファモジュール

ル部60宛のグローバルキュー90で計算される受付可能レートとフォワードRMセルが経由する出力回線対応キュー68で計算される受付可能レートとをもらいうけ、このうち小さいほうの値をバックワードRMセルに書き込む。また、フォワードRMセルが拡張入力バッファモジュール部50に到着すると、RMセル処理部57は、そのフォワードRMセルが格納されるABRクラスの出力ポート対応キュー58の仮想スイッチ内部キュー58-3の仮想スイッチ内部キュー長をフォワードRMセルに書き込む。フォワードRMセルが拡張出力バッファモジュール部60に到着するときには、RMセル処理部67がフォワードRMセル内に書き込まれた仮想スイッチ内部キュー長を読み取り、その出力ポート宛のグローバルキュー長を復元する。

【0068】以上説明したように、上記実施例では、入力レートが出力レートより大きいために輻輳の発生する中核スイッチ部40内の中核スイッチキュー41（添字省略）のキュー長と拡張出力バッファモジュール部60内の出力回線対応キュー68のキュー長とから受付可能レート計算部66が受付可能レートを計算して、それをABRクラスのトラヒックを発生する送信端末に通知／反映させる。このことにより、ATM交換機システム内部でABRクラスのトラヒックによる輻輳が発生するのを抑えることが可能である。また、受付可能レート計算部66は、グローバルキュー90における受付可能レートを計算するために、グローバルキュー長の時間変化を把握しなければならず、各拡張入力バッファモジュール部50は仮想スイッチ内部キュー58-3の仮想スイッチ内部キュー長を拡張出力バッファモジュール部60内の受付可能レート計算部66に知らせる必要がある。ABRクラスのグローバルキューに限っては、各拡張入力バッファモジュール部50を通過するフォワードRMセルに仮想スイッチ内部キュー長を書き込み、それを拡張出力バッファモジュール部60側で読み取ってグローバルキュー長を復元するようにすることにより、余計な信号線や情報運搬セルを用意しなくてすむ。

【0069】次に具体的なケースについて、図11乃至図28を参照して説明する。図11乃至図28においてはNが2の場合を図示している。

【0070】図11乃至図22においては、ポート／回線数が2／8で、CBR／VBR／ABR／UBRクラスの4サービスクラスを提供可能な本発明によるATM交換機システムにおいて、中核スイッチ部40からCBR／VBR／ABR／UBRクラスを停止させるための第1のバックプレッシャー信号(BP_CS)を発信するための第1のしきい値 $Q_{th}(bps)$ は、それぞれ80／60／40／20セルとし、拡張出力バッファモジュール部60（添字省略）から第2のバックプレッシャー信号(BP_OXB_LOW)および第3のバックプレッシャー信号(BP_OXB_HIGH)を発信させるた

めの第2および第3のしきい値 $Q_{th}(bpoxb_low)$ および $Q_{th}(bpoxb_high)$ はそれぞれ8000セルおよび8100セルとする。なお、第2のバックプレッシャー信号(BP_OXB_LOW)により送出を止められるサービスクラスはUBRのみとする。

【0071】最初に、図11乃至図16を参照して、入出力回線間でATMセルをスイッチングするときの処理手順について説明する。図11乃至図16は、本発明によるATM交換機システムにおいて、第1の拡張入力バッファモジュール部50-1の第1の入力回線91（#1）と第2の拡張出力バッファモジュール部60-2の第4の出力回線93（#4）との間にUBRクラスのVCが張られている状態を示している。第1の拡張入力バッファモジュール部50-1の第1の入力回線91（#1）と第2の拡張出力バッファモジュール部60-2の第4の出力回線93（#4）との間に設定されたUBRクラスのVC1に属するATMセル300に対して入出力回線間スイッチングする様子を説明する。

【0072】図11は上記VC1がATMセル#VC1が第1の拡張入力バッファモジュール部50-1に到着したときの状態を示す。

【0073】まず、図12に示すように、クラス／ポート別分離器52は、そのATMセル300のコネクション情報を参照して宛先出力ポートおよびサービスクラス種別がそれぞれ第2の出力ポート72-2およびUBRクラスであることを認識し、そのATMセル300をUBRクラス用の出力ポート72-2宛の出力ポート対応キュー58の仮想ソースキュー58-1に格納する。

【0074】次に、図13に示すように、現時点でレート制御部58-2に設定されている転送レート値は100Mbpsであるので、仮想ソースキュー58-1から仮想スイッチ内部キュー58-3へのセル転送が100Mbps程度になるように制御された上でATMセル300は仮想スイッチ内部キュー58-3に送られる。ATMセル300よりも前に格納されたATMセルから順に仮想スイッチ内部キュー58-3から送出されていき、ATMセル300が仮想スイッチ内部キュー58-3の先頭に達する。

【0075】ここで、図14に示すように、バックプレッシャー受信部54の保有するバックプレッシャー状況301を参照すると、第2の出力ポート72-2の第2の中核スイッチキュー41-2からのUBRクラスに適用される第1のバックプレッシャー信号(BP_CS)101や第2の拡張出力バッファモジュール部60-2からの第2のバックプレッシャー信号(BP_OXB_LOW)102を受けていないので（バックプレッシャー状況301中の、“ON”は受信していることを、“OFF”は受信していないことを表わす）、UBRクラス用の回線優先制御部59が第2の出力ポート72-2宛の出力ポート対応キュー58を選択し、かつクラス間優先

制御部53がUBRクラスを選択したとき、ATMセル300は仮想スイッチ内部キュー58-3から取り出されて、第1の入力ポート71-1および時分割多重バス42を経由して第2の出力ポート72-2に対応した第2の中核スイッチキュー41-2に格納される。ATMセル300よりも前に格納されたATMセルから順に第2の中核スイッチキュー41-2から送出されていき、ATMセル300が第2の中核スイッチキュー41-2の先頭に達する。

【0076】ここで、図15に示すように、バックプレッシャー受信部45の保有するバックプレッシャー受信状況302を参照すると、第2の出力ポート72-2の第2の拡張出力バッファモジュール部60-2からの第3のバックプレッシャー信号(BP_OXB_HIGH)を受けていないので、ATMセル300は第2の中核スイッチキュー41-2から第2の出力ポート72-2に送出され、後続の第2の拡張出力バッファモジュール部60-2に送られる。第2の拡張出力バッファモジュール部60-2では、クラス/回線別分離器62はそのATMセル300のコネクション情報を参照して、宛先出力回線とサービスクラス種別がそれぞれ第4の出力回線93(#4)、UBRクラスであること認識し、そのATMセル300をUBRクラス用の第4の出力回線93(#4)宛の出力回線対応キュー68に格納する。ATMセル300よりも前に格納されたATMセルから順に出力回線対応キュー68から送出されていき、ATMセル300が出力回線対応キュー68の先頭に達する。

【0077】ここで、図16に示すように、第4の出力回線93(#4)用のクラス間優先制御部63がUBRクラスを選択すると、その先頭セルは第4の出力回線93(#4)に送出される。

【0078】次に、図17および図18を参照して、中核スイッチキュー長が第1のバックプレッシャー信号(BP_CS)発生用しきい値以下である時に、複数のATMセルが同時に到着したときの処理手順について説明する。図17は、第2の出力ポート72-2用の第2の中核スイッチキュー41-2の中核スイッチキュー長 Q_{CS} がUBRクラス停止用の第1のバックプレッシャー信号(BP_CS)101を発信するための第1のしきい値 $Q_{th}(bps)$ (=20セル)以下である時に、複数のATMセル300が第2の出力ポート72-2用の第2の中核スイッチキュー41-2に同時に到着したときの状態を示している。このATMセル300を格納することで、第2の中核スイッチキュー41-2の中核スイッチキュー長 Q_{CS} が第1のしきい値 $Q_{th}(bps)$ を越えてしまう。そこで、図18に示すように、バックプレッシャー発信部44は、このポート行きのUBRクラスセルを送信停止させるための第1のバックプレッシャー信号

(BP_CS)101を全ての拡張入力バッファモジュ

ール部50-1および50-2に対して発信する。各拡張入力バッファモジュール部50-1および50-2では、バックプレッシャー受信部54がこの第1のバックプレッシャー信号(BP_CS)101を受信すると、第2の出力ポート72-2行きのUBRクラスセルの送信を停止する。

【0079】同様に、中核スイッチキュー長 Q_{CS} が各サービスクラス対応のしきい値 $Q_{th}(bps)$ を越える場合には、その中核スイッチキュー宛の該当するサービスクラスのセル送信を停止するための第1のバックプレッシャー信号(BP_CS)101を全ての拡張入力バッファモジュール部50-1および50-2に対して発信する。本実施例では、各サービスクラス毎に適用する個別のバックプレッシャー信号(BP_CS)を用意したが、一本の第1のバックプレッシャー信号(BPCS)を複数のサービスクラスに適用させるように構成することも可能である。

【0080】図19および図20を参照して、拡張出力バッファモジュール部60のバッファ占有量が第2のバックプレッシャー信号(BP_OXB_LOW)発生用しきい値以下である時に、ATMセルが到着したときの処理手順について説明する。図19は第2の拡張出力バッファモジュール部60-2のバッファ占有量 Q_{obx} が7999セルである時に、ATMセル300が第2の拡張出力バッファモジュール部60-2に到着したときの状態を示している。このATMセル300を格納することで、バッファ占有量 Q_{obx} が第2のバックプレッシャー信号(BPOXB_LOW)102を発信するための第2のしきい値 $Q_{th}(bpoxb_low)$ (=8000セル)以上になってしまう。そこで、図20に示すように、第2の拡張出力バッファモジュール部60-2では、バックプレッシャー発信部64は第2のバックプレッシャー信号(BP_OXB_LOW)102を全ての拡張入力バッファモジュール部50-1および50-2に対して発信する。各拡張入力バッファモジュール部50-1および50-2では、バックプレッシャー受信部54はこの第2のバックプレッシャー信号(BP_OXB_LOW)102を受信すると、第2の出力ポート72-2行きUBRクラスセルの送信を停止する。

【0081】本実施例では、第2のバックプレッシャー信号(BP_OXB_LOW)102を適用するサービスクラスをUBRクラスだけとしたが、複数のサービスクラスに適用するように構成することも可能である。

【0082】図21および図22を参照して、拡張出力バッファモジュール部60のバッファ占有量が第3のバックプレッシャー信号(BP_OXB_HIGH)発生用しきい値以下である時に、ATMセルが到着したときの処理手順について説明する。図21は第2の拡張バッファモジュール部60-2のバッファ占有量 Q_{obx} が8099セルである時に、ATMセル300が第2の拡張

出力バッファモジュール部60-2に到着したときの状態を示している。このATMセル300を格納することで、第3のバックプレッシャー信号(BP_OXB_HIGH)103を発信するための第3のしきい値 $Q_{th}(bpxb\ high)$ (=8100)以上になってしまう。そこで、図22に示すように、第2の拡張バッファモジュール部60-2では、バックプレッシャー発信部64が第3のバックプレッシャー信号(BPOXB_HIGH)103を直前の中核スイッチ部40に対して発信する。中核スイッチ部40では、バックプレッシャー受信部45はこの第3のバックプレッシャー信号(BP_OXB_HIGH)103を受信すると、第2の中核スイッチキュー41-2に対して一切のセル送信を停止させる。

【0083】図23乃至図26は、本発明によるATM交換機システムにおいて、第1の拡張入力バッファモジュール部50-1の第1の入力回線91(#1)と第2の拡張出力バッファモジュール部60-2の第4の出力回線93(#4)との間にABRクラスのVCが張られている状態を示している。第2の拡張出力バッファモジュール部60-2の第4の出力回線93(#4)と対をなす入力回線は、第2の拡張入力バッファモジュール部50-2の第4の入力回線91(#4)であるので、VC2のバックワードRMセルは第2の拡張入力バッファモジュール部50-2の第4の入力回線91(#4)に到着することになる。そして、第1の拡張出力バッファモジュール部60-1の第1の出力回線93(#1)へと流れていく。

【0084】図23および図24を参照して、フォワードRMセルが拡張入力バッファモジュール部50内の出力ポート対応キュー長を運搬して、拡張出力バッファモジュール部60内のバッファ占有量計数部65がグローバルキュー長を認識する処理手順について説明する。図23に示すように、第1の拡張入力バッファモジュール部50-1の第1の入力回線91(#1)と第2の拡張出力バッファモジュール部60-2の第4の出力回線93(#4)との間に設定されたABRクラスのVC2に属するフォワードRMセル303が第1の拡張入力バッファモジュール部50-1に到着すると、クラス/ポート別分離器52は、そのフォワードRMセル303のコネクション情報を参照して、宛先出力ポートとサービスクラス種別がそれぞれ第2の出力ポート72-2、ABRクラスであることを認識し、そのフォワードRMセル303をABRクラス用の第2の出力ポート72-2宛の出力ポート対応キュー58の仮想ソースキュー58-1に格納する。と同時に、RMセル処理部57はそのフォワードRMセル303が格納されるABRクラス用キューの仮想スイッチ内部キュー58-3の仮想スイッチ内部キュー長をフォワードRMセル303内に書き込む。このとき、格納されるABRクラス用キューの仮想

スイッチ内部キュー長は40セルであるので、フォワードRMセル303内に40セルを記述する。

【0085】図24はVC2のフォワードRMセル303が第2の拡張出力バッファモジュール部60-2に到着したときの状態を示している。クラス/回線別分離器62はそのフォワードRMセル303のコネクション情報を参照して、宛先出力回線とサービスクラス種別がそれぞれ第4の出力回線93(#4)、ABRクラスであることを認識し、そのフォワードRMセル303をABRクラス用の第4の出力回線93(#4)宛の出力回線対応キュー63に格納する。と同時に、RMセル処理部67は、そのフォワードRMセル内に記述されている第1の拡張入力バッファモジュール部50-1におけるABRクラス用出力ポート対応キュー長を取り出し、バッファ占有量計数部65に通知する。第2の拡張出力バッファモジュール部60-2のバッファ占有量計数部65では、グローバルキュー長をサービスクラス毎に認識するために、各拡張入力バッファモジュール部50に存在する同一出力ポート行きの出力ポート対応キュー長をサービスクラス毎に保存しており、RMセル処理部67からの通知により、そのフォワードRMセル303が通過してきた第1の拡張入力バッファモジュール部50-1のABRクラス用の出力ポート対応キュー長をフォワードRMセル303の内容と置き換える。

【0086】本実施例では、第2の拡張出力バッファモジュール部60-2のバッファ占有量計数部65ははじめ、第1の拡張入力バッファモジュール部50-1の第2の出力ポート72-2宛のABRクラス用キューは10セルであると認識していたが、第1の拡張入力バッファモジュール部50-1からのフォワードRMセル303の到着により、これを40セルに変更している。本来は、拡張入力バッファモジュール部50の出力ポート対応キュー長を拡張出力バッファモジュール部60のバッファ占有量計数部65に知らせるために、ATM交換機システム内部でのみ使用する特別な情報運搬用セルを用意する必要があるが、ABRクラスに限ってはフォワードRMセルを利用することにより、余計な情報運搬用セルや信号線を用意しなくても済み、その分だけハードウェア実装量を軽減させることが可能である。また、ユーザのデータセルではないATM交換機システム制御のための情報運搬用セルが引き起こす内部輻輳の発生頻度を緩和させる効果をもたらす。

【0087】次に、図25および図26を参照して、グローバルキューと拡張出力バッファモジュール部60内の出力回線対応キュー68で計算するABRクラス用の受付可能レートをバックワードRMセルに記述する処理手順について説明する。図25に示すように、VC2のバックワードRMセル304が第2の拡張入力バッファモジュール部50-2の第4の入力回線91(#4)に到着すると、クラス/ポート別分離器52が宛先出力ポ

ートとサービスクラス種別を認識して、該当する仮想ソースキュー58-1に格納する前に、RMセル処理部57はそのVC2が経由する第2の出力ポート72-2に対応したグローバルキュー90と第2の拡張出力バッファモジュール部60-2の第4の出力回線93(#4)に対応した出力回線対応キュー68における受付可能レートを参照する。

【0088】図26に示すように、第2の出力ポート72-2に対応したグローバルキューにおける受付可能レートは、40Mbps、一方第2の拡張出力バッファモジュール部60-2の第4の出力回線93(#4)に対応した出力回線対応キュー68における受付可能レートは20Mbpsであるので、このうち小さいほうの値である20MbpsのバックワードRMセル304の中に書き込む。

【0089】図27を参照して、拡張入力バッファモジュール部50内のレート制御部58-2に受付可能レートを設定する処理手順について説明する。図27は第1の拡張入力バッファモジュール部50-1の第2の出力ポート72-2に対応したあるサービスクラスの出力ポート対応キュー58のレート制御部58-2に転送レートR[2]を設定するところを示している。受付可能レ*

*ート計算部66は、定期的に各キューでの受付可能レートを計算するが、計算実行の度にレート制御部58-2にレートを設定する。最近のレート計算処理により、第2の出力ポート72-2のグローバルキューにおける受付可能レート $ER_g[2]$ は80Mbps、第2の拡張出力バッファモジュール部60-2に収容されている第1乃至第4の出力回線93(#1, #2, #3, #4)に対応して出力回線対応キューにおける受付可能レート $ER_{line}[2, j]$ ($j=1, 2, 3, 4$)はそれぞれ5Mbps, 10Mbps, 15Mbps, 20Mbpsである。この時点で、第1の拡張入力バッファモジュール部50-1の第2の出力ポート72-2に対応した出力ポート対応キュー58における総アクティブVC数 $N_{vc}[2]$ は4、第2の拡張出力バッファモジュール部60-2の第1乃至第4の出力回線93(#1, #2, #3, #4)宛の総アクティブVC数 $N_{vc}[2, j]$ ($j=1, 2, 3, 4$)はそれぞれ2, 1, 0, 1であり、出力ポート対応キュー58に設定する転送レートR[2]は、下記の数式4で表わされる。

【0090】

【数4】

$$R[2] = \min(ER_g[2] \times N_{vc}[2], \sum_{j=1}^4 ER_{line}[2, j] \times N_{vc}[2, j])$$

$$R[2] = \min(80Mbps \times 4, 5Mbps \times 2 + 10Mbps \times 1 + 20Mbps \times 1)$$

$$R[2] = \min(320Mbps, 40Mbps)$$

$$R[2] = 40Mbps$$

第1の拡張入力バッファモジュール部50-1の第2の出力ポート72-2に対応した出力ポート対応キュー58のレート制御部58-2に40Mbpsを設定する。このレート設定処理は、各サービスクラス毎にそのサービスクラス用の受付可能レートをを用いて実施する。

【0091】次に、図28を参照して、パケットの先頭セルが拡張入力バッファモジュール部50に到着したときのパケット受信可否判断の処理手順について説明する。図28は、本発明によるATM交換機システムにおいて、第1の拡張入力バッファモジュール部50-1の第1の入力回線91(#1)と第2の拡張出力バッファモジュール部60-2の第4の出力回線93(#4)との間にUBRクラスのVC7が張られており、そのVC7に属するパケットの先頭セルが到着したときの状態を示している。キューに設定される固定しきい値 Q_{th} は500セルである。

【0092】図28において、第2の拡張バッファモジュール部60-2に収容されている第1乃至第4の出力回線93(#1, #2, #3, #4)に対応した出力回線対応キュー68における受付可能レート $ER_{line}[2, j]$ はそれぞれ5Mbps, 10Mbps, 15Mbps, 20Mbpsである。第1の拡張入力バッファモジュール部50-1の第2の出力ポート72-2に対応した出力ポート対応キュー58における、第2の拡張出力バッファモジュール部60-2の第1乃至第4の出力回線93(#1, #2, #3, #4)宛の総アクティブVC数 $N_{vc}[2, j]$ ($j=1, 2, 3, 4$)はそれぞれ2, 1, 0, 1であり、出力回線毎のバッファ占有量と比較するしきい値 $Q_{th}(line)$ は、下記の数式5で表わされる。

【0093】

【数5】

$$Q_{th(line)} = \frac{ER_{line}[2.4] \times N_{vc}[2.4]}{\sum_{j=1}^4 ER_{line}[2.j] \times N_{vc}[2.j]} \times Q_{th}$$

$$Q_{th(line)} = \frac{20Kbps \times 1}{5Kbps \times 2 + 10Kbps \times 1 + 20Kbps \times 1} \times 500cell$$

$$Q_{th(line)} = 250cell$$

この時点で、第1の拡張入力バッファモジュール部50-1の第2の出力ポート72-2に対応した出力ポート対応キュー58におけるVC7の宛先出力回線（第4の出力回線93（#4））によるバッファ占有量は300セルで上記しきい値 $Q_{th(line)}$ を越えているので、VC毎の占有量と比較するしきい値 $Q_{th(vc)}$ を下記の数式6にしたがって計算する。

【0094】

【数6】

$$Q_{th(vc)} = \frac{Q_{th(line)}}{N_{vc}[2.4]} \times K$$

$$Q_{th(vc)} = \frac{250cell}{1} \times 1.0$$

$$Q_{th(vc)} = 250cell$$

ここで、制御パラメータKの値として1.0を用いたが、これは交換機管理者が自由に設定できる値である。VC7によるバッファ占有量は300セルで上記しきい値 $Q_{th(vc)}$ を越えているので、このセルを先頭とするパケットを廃棄すると決定し、パケット受付制御部56はこの先頭セルおよびこのパケットの最終セルが到着するまでに到着するVC7の全てのセルを廃棄するように制御する。ここで、もし宛先出力回線によるバッファ占有量もしくはVC7によるバッファ占有量のどちらかが上記しきい値よりも小さいのであれば、このセルを先頭とするパケットを受信すると決定する。

【0095】以上、本明細書および図面で詳細に示した実施例は本発明を限定するものではない。本発明の主旨および特許請求の範囲内での種々の変形は本発明の範囲内である。

【0096】

【発明の効果】本発明には次に述べるような効果がある。大容量の交換容量を保有するATM交換機システムを実現するために、低速回線インタフェースを時分割多重バスに直接収容させる従来方式と、より高速なポートインタフェースを直接収容させる本発明のスイッチ構成とでは、明らかに本発明によるスイッチ構成の方が時

割多重バスに収容するインタフェース数が少なく、LSI実装上のピン数不足などの問題発生を抑えることが可能である。また、拡張入力バッファモジュール部内の出力ポート対応キューをサービスクラス毎に用意し、セル廃棄を防ぐために中核スイッチ部や拡張出力バッファモジュール部から発信されたバックプレッシャー信号の適用をサービスクラス対応に細分化することにより、セル廃棄率や遅延に関して多様なサービスクラス品質を提供することが容易に可能となる。

20

【0097】また、本発明では、入力レートが出力レートよりも大きく輻輳の発生する箇所であるグローバルキューや拡張出力バッファモジュール部内の出力回線対応キューにおいて、輻輳を発生することなく利用率を大きくとることが可能な受付可能レートを計算し、拡張入力バッファモジュール部内の出力ポート対応キューを仮想ソースキューと仮想スイッチ内部キューとの二重構成として、仮想ソースキューから仮想スイッチ内部キューへのセル転送レートを、ATM交換機システムの後方配置モジュールで計算される受付可能レートに基づいて制御することにより、ATM交換機システムの内部輻輳を引き起こす大きな要因であるトラヒック特性を明示しない不明瞭な入力トラヒックに対して、それらを仮想ソースキューに一時保存してATM交換機内部への実質的な流入を制限して内部輻輳の発生頻度を抑えることが可能であり、内部輻輳によるサービスクラス間の干渉を取り除くことが可能である。

30

【0098】また、出力ポート全体へのセル転送を制御することはできるがその出力ポートが収容する出力回線毎には制御できない拡張入力バッファモジュール部の出力ポート対応キューに対して、対応する宛先出力ポートが収容する出力回線対応キューで計算される受付可能レートに、その出力ポート対応キューにおける出力回線毎のアクティブVC数を乗じたものの総和をレート制御部に設定することを全ての拡張入力バッファモジュール部で行うことにより、拡張入力バッファモジュール部間で同一出力回線行きのVC数にばらつきがある場合でも、各拡張入力バッファモジュール部が出力回線毎VC数を考慮して送信レートを自律的に決定するので、同一出力回線行きのVC間で均等なスループットを保証することが

50

可能である。

【0099】拡張入力バッファモジュール部内の出力ポート対応キューに到着するパケットの受信可否を、出力ポート対応キューの対応する出力ポートが収容する出力回線対応キューで計算される受付可能レートに、その出力ポート対応キューにおける出力回線毎のアクティブVC数を乗じたものの総和のうちパケットの宛先出力回線相当分が占める割合を考慮して算出するしきい値と宛先出力回線によるバッファ占有量とを比較して決めることにより、出力ポート対応キュー内部の出力回線毎のバッファ占有量をレート制御部に割り当てるレートの出力回線毎の比率と同一にすることが可能であり、出力回線を一切区別できない出力ポート対応キューにおいて、これは指定された転送レートの出力回線比に応じて転送レートを制御すると同等の効果をもたらす。

【0100】さらに、パケットの受信可否を決定するさらなる条件として、パケットの所属するVCによるバッファ占有量と比較するしきい値を、宛先出力回線用に算出されたしきい値をその出力回線宛のアクティブVC数で除算して求めることにより、同一出力回線を経由する複数のVC間で公平なスループットを達成することが可能である。

【0101】入力レートが出力レートより大きいために輻輳の発生する中核スイッチキューと拡張出力バッファモジュール部内の出力回線対応キューで受付可能レートを計算して、それをABRクラスのトラヒックを発生する送信端末に通知／反映させることにより、ATM交換機システム内部でABRクラスのトラヒックによる輻輳が発生するのを抑えることが可能である。また、受付可能レート計算部は、グローバルキューにおける受付可能レートを計算するためにグローバルキュー長の時間変化を把握しなければならず、各拡張入力バッファモジュール部は仮想スイッチ内部キュー長を拡張出力バッファモジュール部内の受付可能計算部に知らせる必要がある。ABRクラスのグローバルキューに限っては、各拡張入力バッファモジュール部を通過するフォワードRMセルに仮想スイッチ内部キュー長を書き込み、それを拡張出力バッファモジュール部側で読み取ってグローバルキュー長を復元するようにすることにより、余計な信号線や情報運搬セルを用意しなくてすむ。

【図面の簡単な説明】

【図1】本発明の一実施の形態によるATM交換機システムの構成を示すブロック図である。

【図2】図1に示したATM交換機システムに使用される拡張入力バッファモジュール部の構成を示すブロック図である。

【図3】図1に示したATM交換機システムに使用される中核スイッチ部の構成を示すブロック図である。

【図4】図1に示したATM交換機システムに使用される拡張出力バッファモジュール部の構成を示すブロック

図である。

【図5】図1に示したATM交換機システムの拡張入力バッファモジュール部のバッファ占有量計数部が保存するバッファ占有量情報テーブルの構成を示す図である。

【図6】図1に示したATM交換機システムの中核スイッチ部のバッファ占有量計数部が保存するバッファ占有量情報テーブルの構成を示す図である。

【図7】図1に示したATM交換機システムの拡張出力バッファモジュール部のバッファ占有量計数部が保存するバッファ占有量情報テーブルの構成を示す図である。

【図8】図1に示したATM交換機システムにおけるバックプレッシャー制御の形態図である。

【図9】図1に示したATM交換機システムにおける受付可能レート計算環境の形態図である。

【図10】図1に示したATM交換機システムにおけるパケット選択廃棄の処理流れ図である。

【図11】図1に示したATM交換機システムにおいて、入出力回線間でATMセルをスイッチングするときの処理手順の最初（第1）の段階を説明する状態図である。

【図12】同処理手順の第2の段階を説明する状態図である。

【図13】同処理手順の第3の段階を説明する状態図である。

【図14】同処理手順の第4の段階を説明する状態図である。

【図15】同処理手順の第5の段階を説明する状態図である。

【図16】同処理手順の第6（最後）の段階を説明する状態図である。

【図17】図1に示したATM交換機システムにおいて、中核スイッチキュー長が第1のバックプレッシャー信号発生用しきい値以下である時に、複数のATMセルが同時に到着したときの処理手順の前半部を説明するための状態図である。

【図18】同処理手順の後半部を説明するための状態図である。

【図19】図1に示したATM交換機システムにおいて、拡張出力バッファモジュール部のバッファ占有量が第2のバックプレッシャー信号発生用しきい値以下である時に、ATMセルが到着したときの処理手順の前半部を説明するための図である。

【図20】同処理手順の後半部を説明するための図である。

【図21】図1に示したATM交換機システムにおいて、拡張出力バッファモジュール部のバッファ占有量が第3のバックプレッシャー信号発生用しきい値以下である時に、ATMセルが到着したときの処理手順の前半部を説明するための図である。

【図22】同処理手順の後半部を説明するための図であ

る。

【図23】図1に示したATM交換機システムにおいて、フォワードRMセルが拡張入力バッファモジュール部内の出力ポート対応キュー長を運搬して、拡張出力バッファモジュール部内のバッファ占有量計数部がグローバルキュー長を認識する処理手順の前半部を説明するための図である。

【図24】同処理手順の後半部を説明するための図である。

【図25】図1に示したATM交換機システムにおいて、グローバルキューと拡張出力バッファモジュール部内の出力回線対応キューで計算するABRクラス用の受付可能レートをバックワードRMセルに記述する処理手順の前半部を説明する状態図である。

【図26】同処理手順の後半部を説明するための図である。

【図27】図1に示したATM交換機システムにおいて、拡張入力バッファモジュール部内のレート制御部に受付可能レートを設定する処理手順を説明するための状態図である。

【図28】図1に示したATM交換機システムにおいて、パケットの先頭セルが拡張入力バッファモジュール部に到着したときのパケット受信可否判断の処理手順を説明するための状態図である。

【図29】第1の従来のATM交換機システムの構成を

示すブロック図である。

【図30】図29に示したATM交換機システムに使用される入力バッファモジュール部の構成を示すブロック図である。

【図31】図29に示したATM交換機システムに使用される中核スイッチ部の構成を示すブロック図である。

【図32】第2の従来のATM交換機システムの構成を示すブロック図である。

【図33】図32に示したATM交換機システムに使用される拡張入力バッファモジュール部の構成を示すブロック図である。

【図34】図32に示したATM交換機システムに使用される中核スイッチ部の構成を示すブロック図である。

【図35】図32に示したATM交換機システムに使用される拡張出力バッファモジュール部の構成を示すブロック図である。

【符号の説明】

40 中核スイッチ部

50-1~50-N 拡張入力バッファモジュール部

20 60-1~60-N 拡張出力バッファモジュール部

71-1~71-N 入力ポート

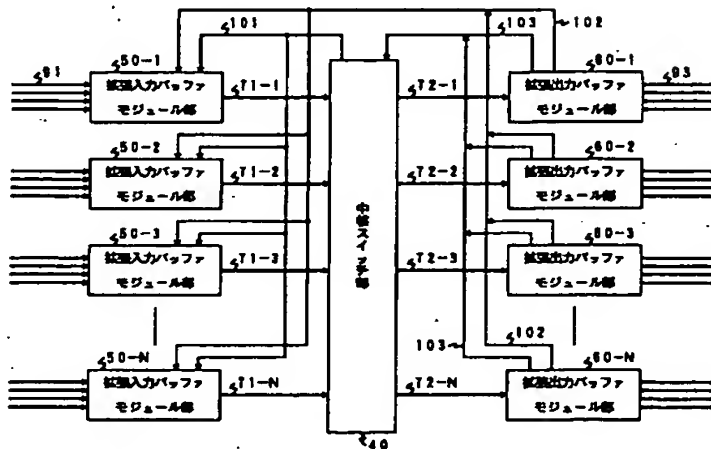
72-1~72-N 出力ポート

91 入力回線

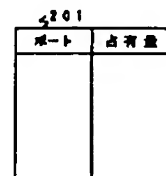
93 出力回線

101~103 バックプレッシャー信号

【図1】



【図6】



【図2】

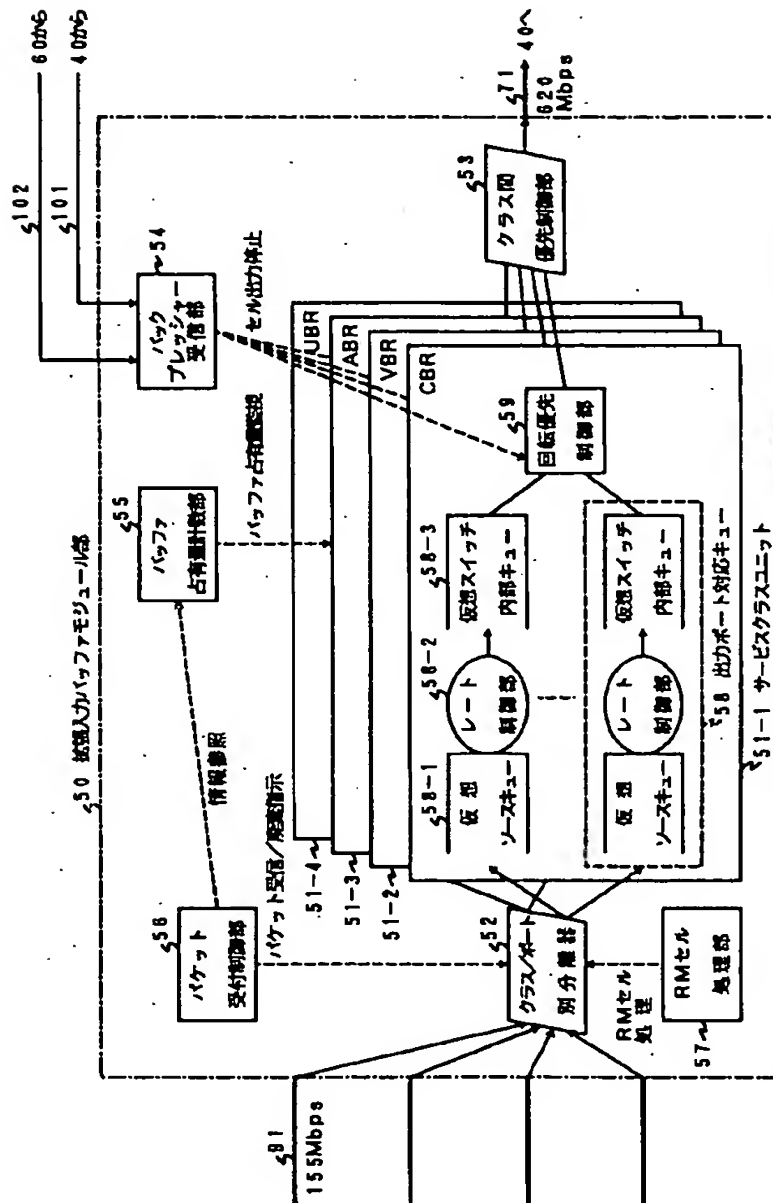
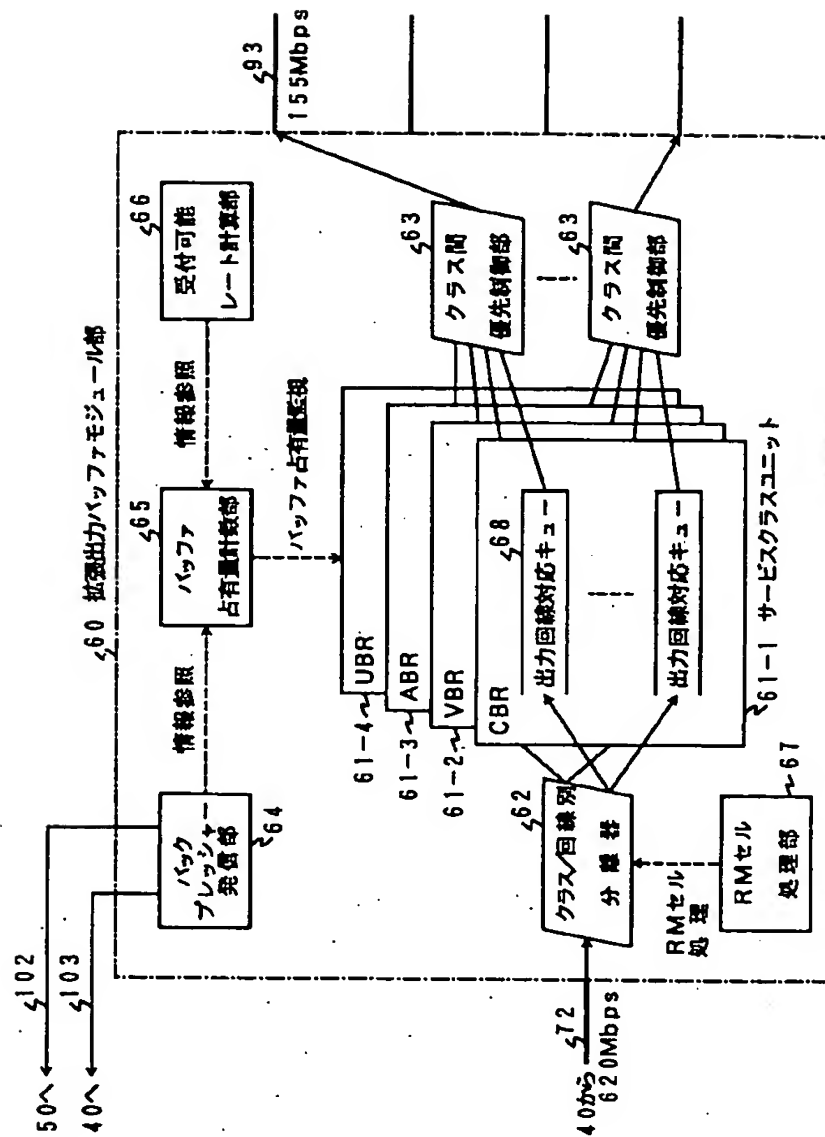


Figure 1 is a block diagram of the core switch control system. It shows a central core switch unit (中核スイッチ部) with multiple core switch queues (中核スイッチキュー) labeled 41-1 to 41-N. Above the queues are backpressure transmit (バックプレッシャー 発信部) and receive (バックプレッシャー 受信部) units. A buffer occupancy counter unit (バッファ 占有量計数部) is connected to the queues via buffer occupancy monitoring (バッファ 占有量監視) and cell output stop (セル出力停止) signals. The system is controlled by signals 101, 102, and 103, which are part of a larger control signal 100. The output is labeled 60 from 50 to 60.

200								
クラス	足光 ポート	金キュー長	状態スイッチ内蔵 キュー長	出力距離 # 1			出力距離 # 2	
				VC#1	VC#2	VC#3	VC#4	VC#5

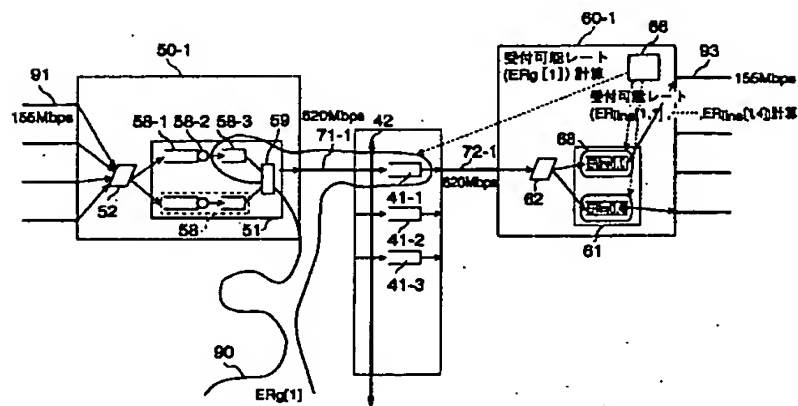
【図4】



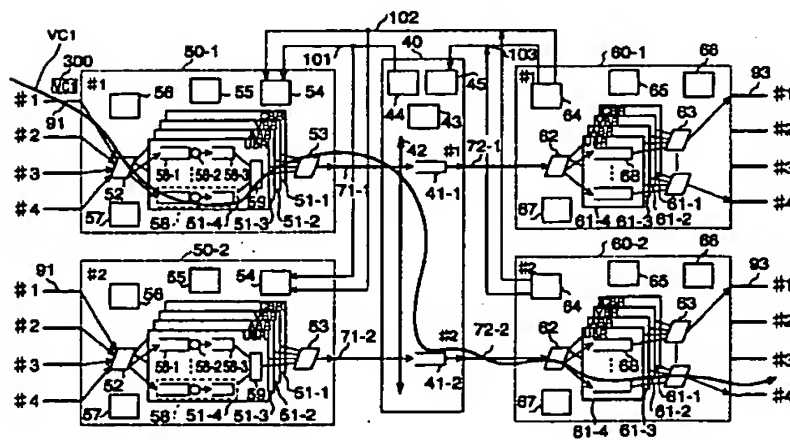
【図7】

202			203			
クラス	優先段階	占有量	クラス	グローバル キュー数	入力ポートごとの ポート対応キュー数	———

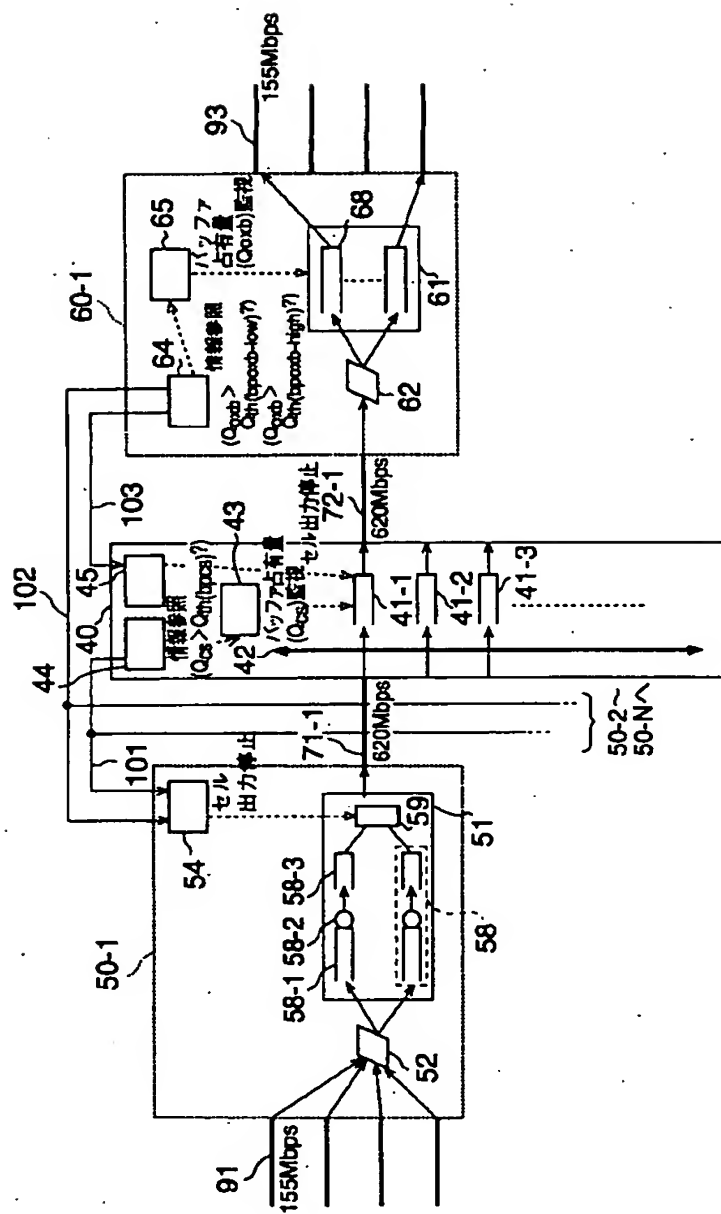
【図9】



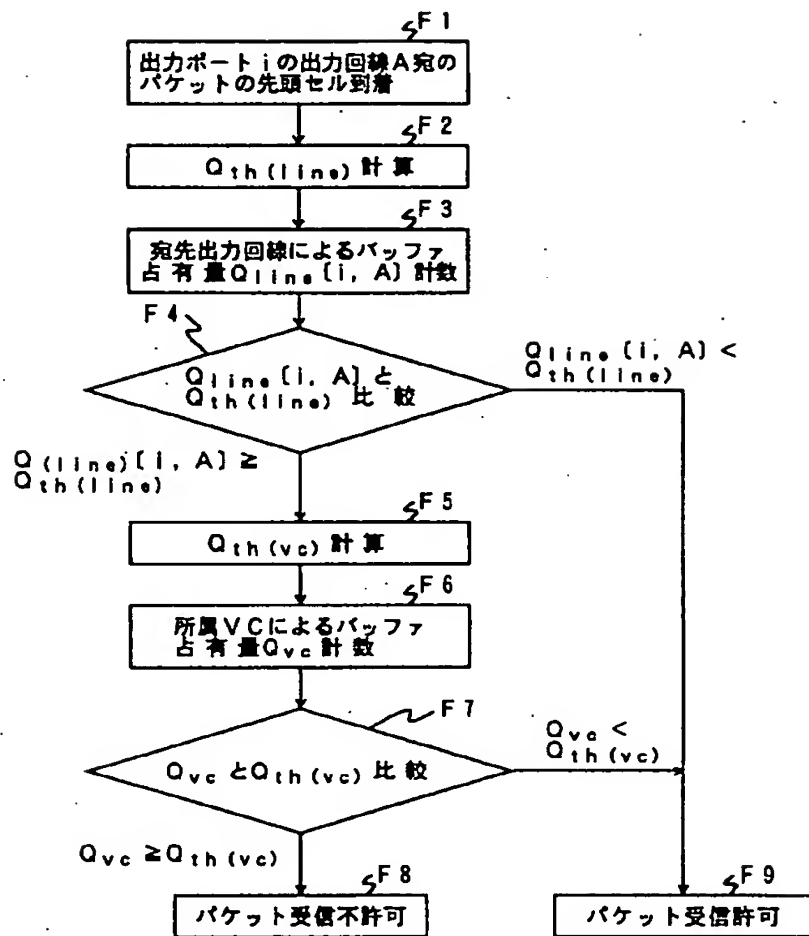
【図11】



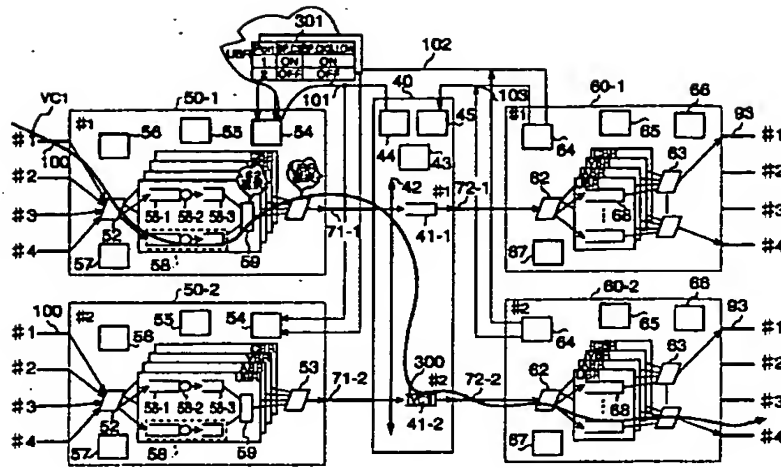
【图 8】



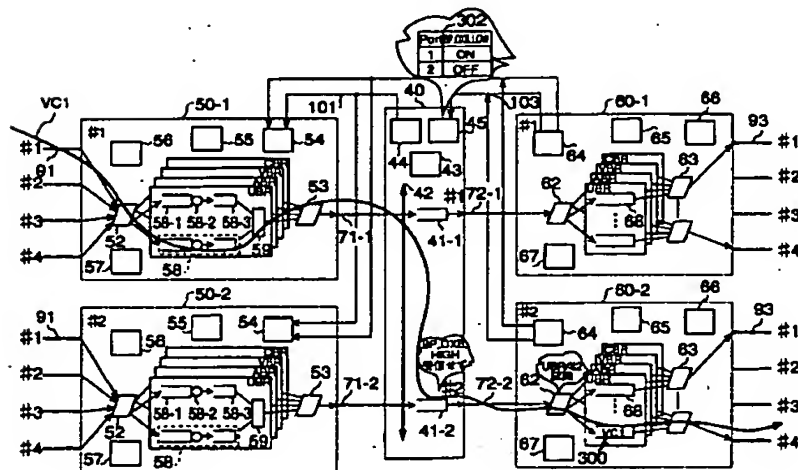
【図10】



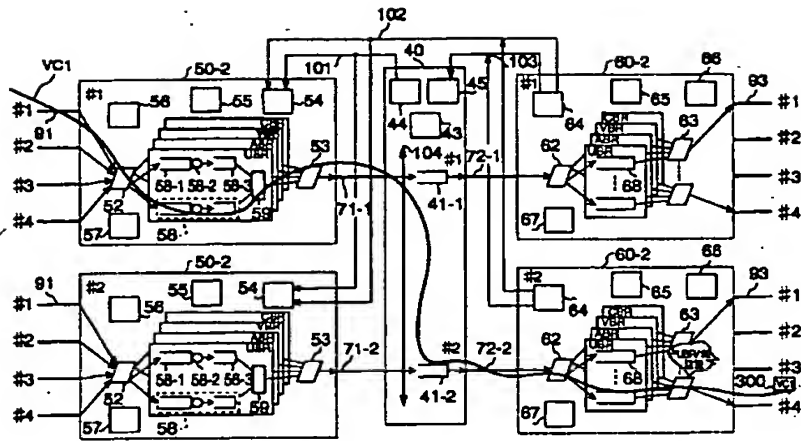
【图 14】



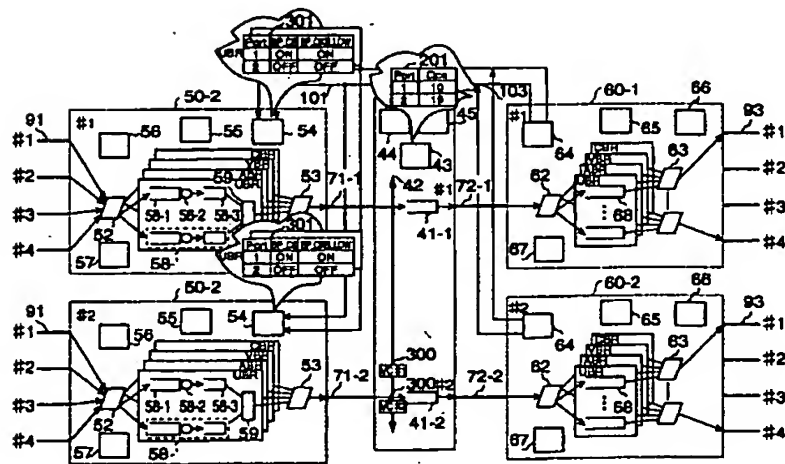
【例 15】



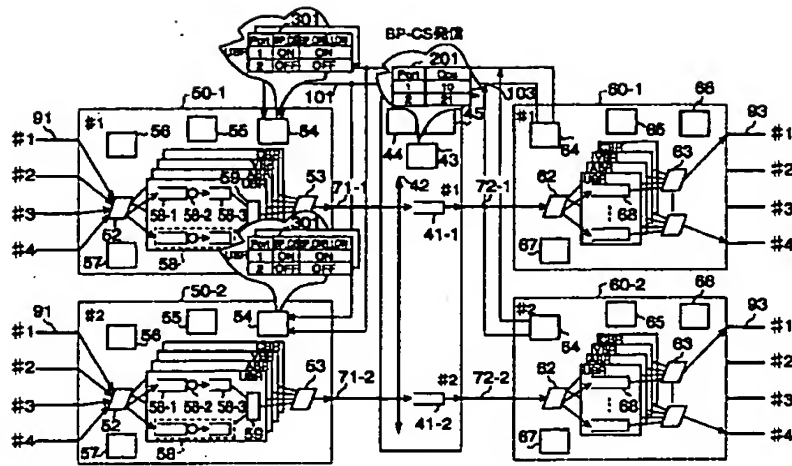
【図16】



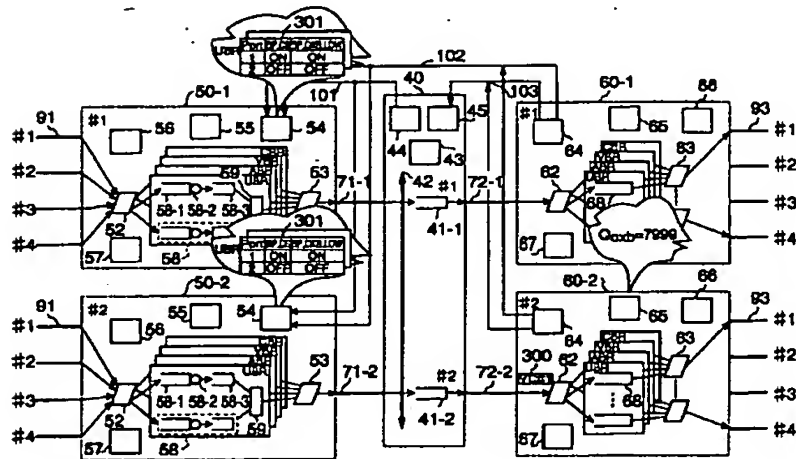
【図17】



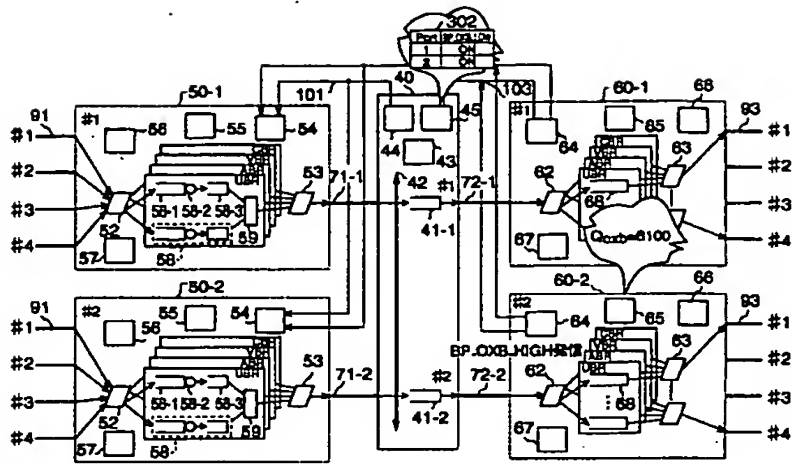
【図18】



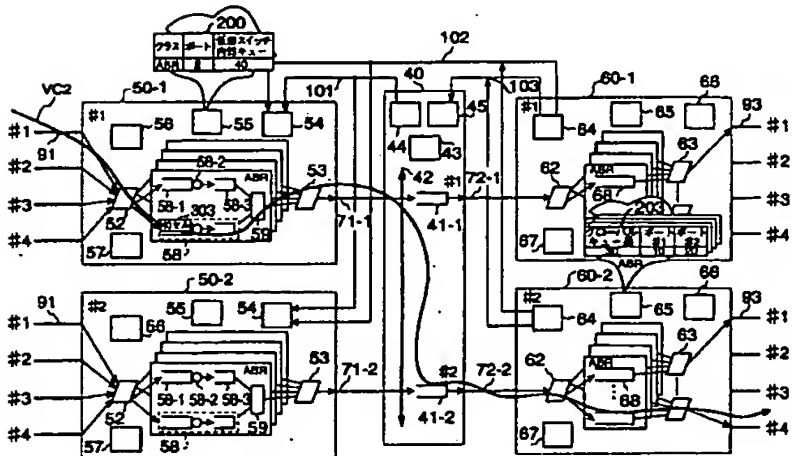
【図19】



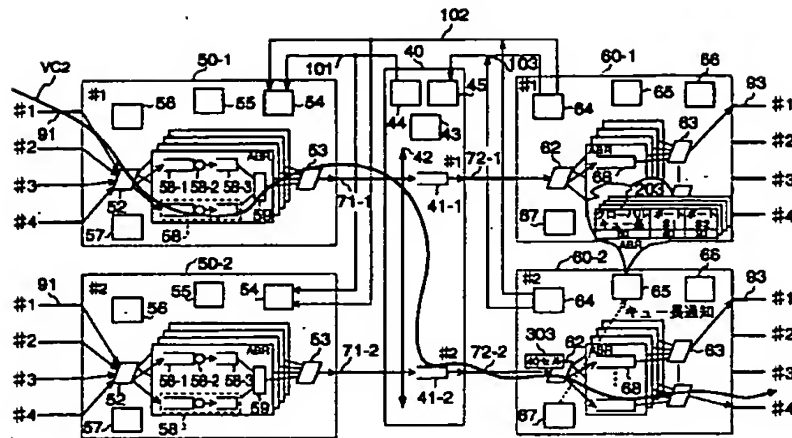
【図22】



【図23】



【図24】



【図25】

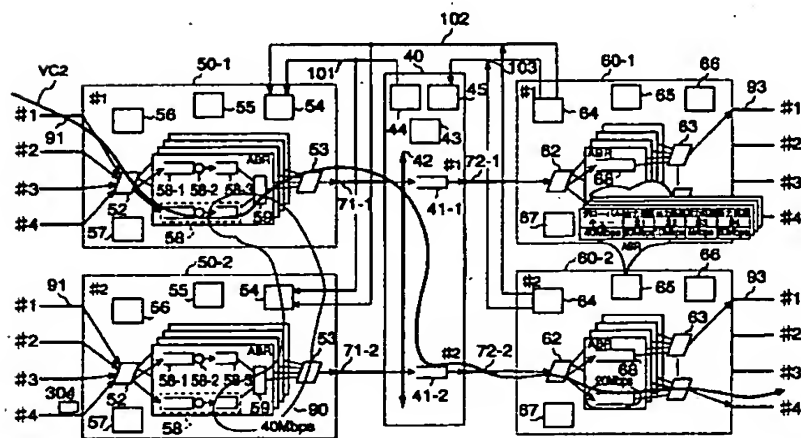
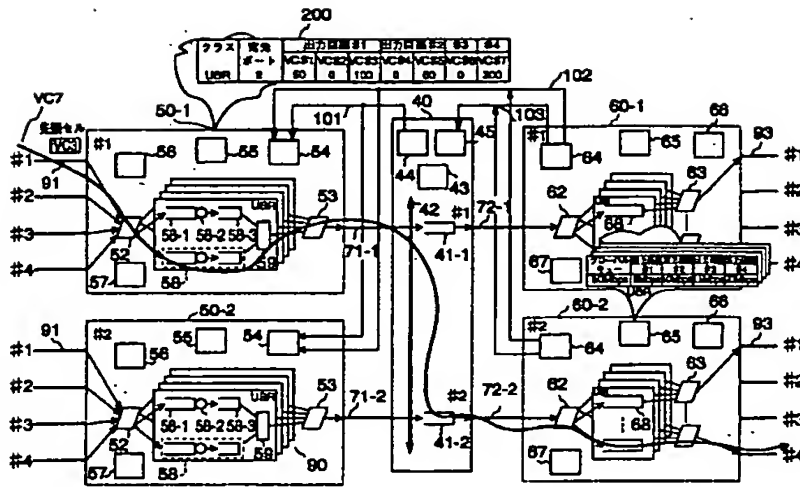


Figure 1 is a block diagram of a system architecture. At the top, a table specifies the system configuration:

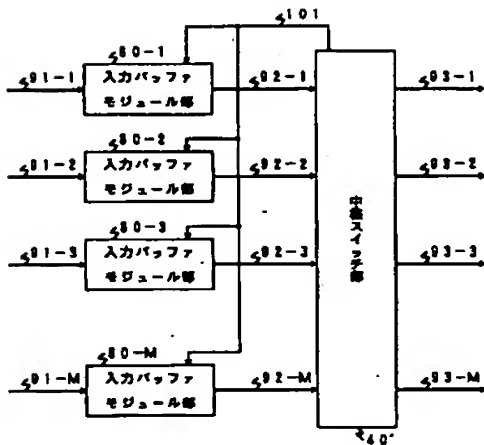
クラス	数値	ポート	出力処理能力	出力処理能力	出力処理能力	出力処理能力	出力処理能力
VCB1	VCB2	VCB3	VCB4	VCB5	VCB6	VCB7	VCB8
1	2	10	0	8	0	6	0
1	2	10	0	8	0	6	0

The diagram shows a central processing unit (200) connected to two main processing blocks (60-1 and 60-2). Each block contains a stack of processing units (50-1, 50-2) and a control unit (53). The system is connected to a network (102) and a storage unit (103). A table at the top shows the system configuration.

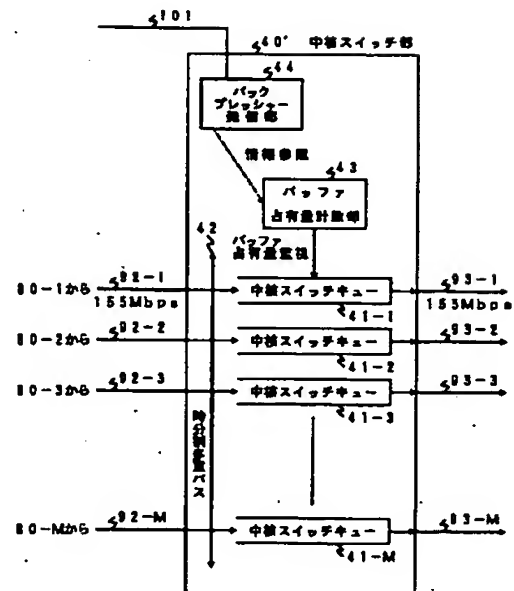
【図28】



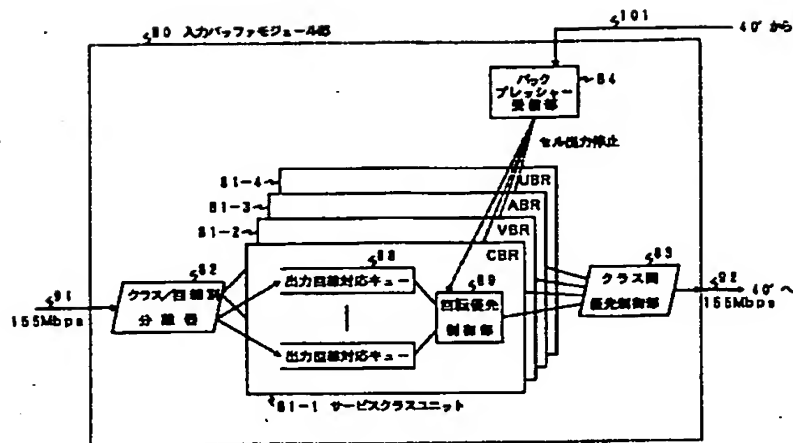
【図29】



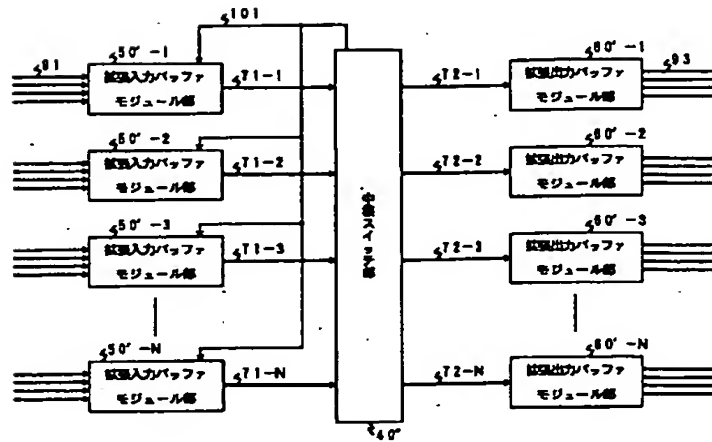
【図31】



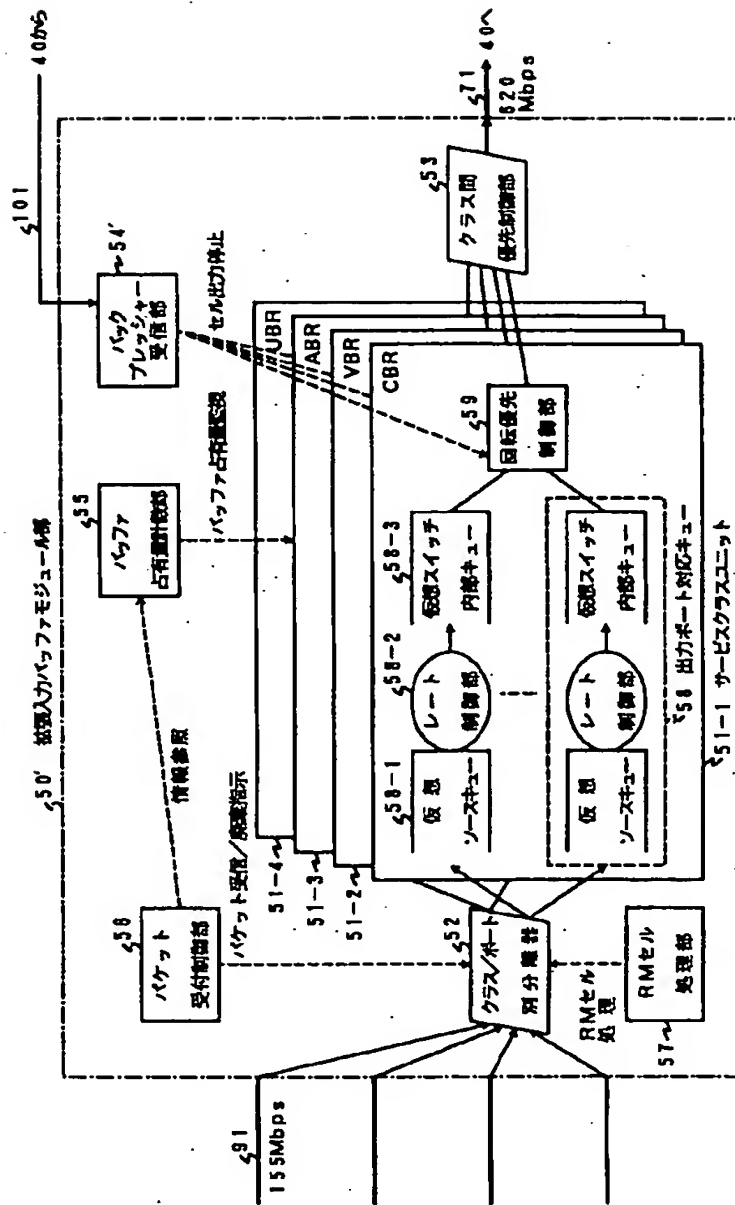
【図30】



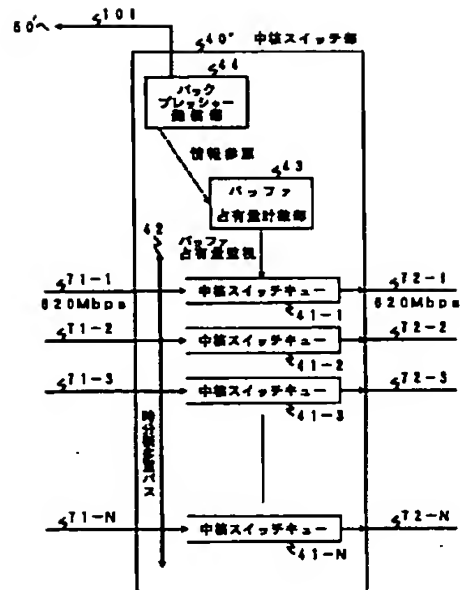
【図32】



【図33】



【図34】



【図35】

